

M-1

パルス形ニューロンモデルの等価回路とその特性に対する検討

A Study on the Equivalent Circuit of a Pulse-type Hardware Neuron Model and Its Characteristics

○大場健太¹ 佐伯勝敏² 関根好文³

*Kenta Oba¹, Katsutoshi Saeki², Yoshifumi Sekine³

Abstract: We have studied a pulse-type hardware neural network in order to make a system adopting learning and memory function of living organisms. We divided a neuron into four elements which are cell body, dendrite, axon, and synapse. And then we constructed a pulse type hardware neuron model composed of cell body model, dendrite model, axon model and synaptic model. From now on it is necessary to simply analyze and design four elements of the pulse type hardware neuron model for our purpose to construct pulse-type hardware neural network. In this paper, we study the equivalent circuit of a pulse-type hardware neuron model and its characteristics.

1. まえがき

我々は、パルス形ニューラルネットワーク構築へ向けて、生体のニューロンを、細胞体、樹状突起、軸索、シナプスの4要素に大別し、電子回路によってモデル化を行っている^[1]。これら4要素を組み合わせ接続する際、これらの等価回路を構築し、回路設計・解析を容易化することを考えている。

本稿では、パルス形ニューロンモデルの要素である細胞体モデル、軸索モデル、樹状突起モデルの等価回路を構成し、各モデルが有する特性について検討している。

2. パルス形ニューロンモデルの等価回路

図1に、今回検討に用いた電圧制御型負性抵抗の等価回路を示す。本回路は、電源電圧 V_1 、 V_2 、 V_3 、抵抗 R_1 、 R_3 、負抵抗 $-R_2$ 、理想ダイオード D_1 、 D_2 で構成した。

図2に、細胞体モデル（以下、CM）の等価回路を示す。本回路は、図1で示した回路、及び、膜容量を模擬したコンデンサ C_c 、等価インダクタンスを模擬し

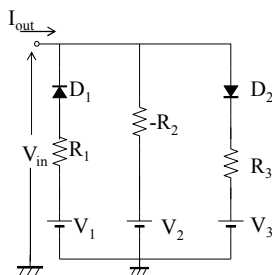


Figure1. Equivalent circuit of a voltage controlled negative resistance device.

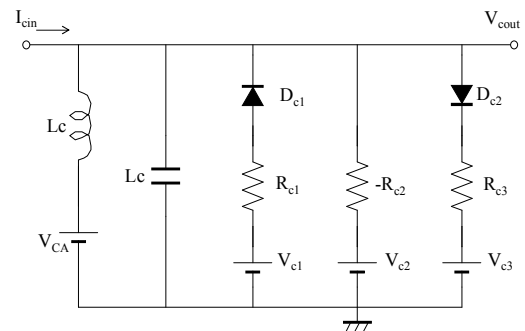


Figure2. Equivalent circuit of a cell body model.

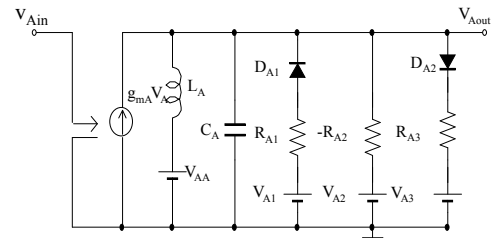


Figure3. Equivalent circuit of a section of an axon model.

たコイル L_c 、バイアス電圧を供給する電源電圧 V_{CA} によって構成した。

図3に、軸索コンパートメントモデル（以下、 CP_{AMm} ）の等価回路を示す。ここで、添え字 m は CM からの CP_{AM} の縦続接続数を表す。本回路は、細胞体モデルの等価回路を基本構成として、相互コンダクタンス g_{mA} の電圧制御電流源を付加することによって構成した。

図4に、樹状突起コンパートメントモデル（以下、 CP_{DMn} ）の等価回路を示す。ここで、添え字 n は CM からの CP_{DM} の縦続接続数を表す。本回路は、細胞体モデルの等価回路を基本回路とし、相互コンダクタンス

1：日大理工・院（前）・電子 2：日大理工・教員・電子 3：日大名誉教授

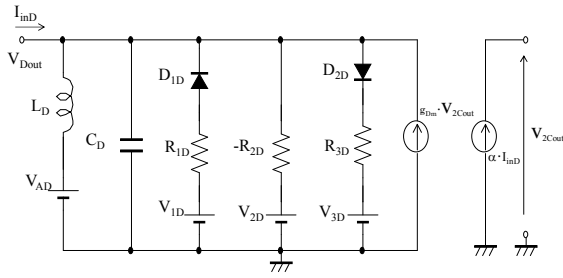


Figure4. Equivalent circuit of a section of a dendrite model.

g_{Dm} の電圧制御電流源 $g_{Dm}V_{out}$, 減衰係数 $\alpha(0 < \alpha < 1)$ の電流制御電流源 αI_{inD} によって構成した.

3. 特性

図 5 に, 図 1 の回路の電圧制御形負性抵抗特性を示す. 図中, 横軸は直流電圧 V_{in} , 縦軸は直流電流 I_{out} , を示している. 同図は, 図 1 の回路の V_{in} を 0[V] から上昇させると 0.55[V] 付近で正抵抗領域から負抵抗領域になり 1.65[V] 付近から再び正抵抗の領域になることを示している. 又, 本回路を用いて CM を構成した際, CM が入力電流 $I_{in} 5 \sim 6[\mu A]$ 付近に閾値を持つことを示している.

図 6 に, CM と 3 個の CP_{AM} を縦続接続した際の CM と CP_{AM} の出力波形を示す. 図中, 横軸は時間, 縦軸は CM, CP_{AM} の出力電圧を示している. 同図は, CM が出力したパルスが, CP_{AM1} から CP_{AM3} へと順に遅延しながら伝搬していくことを示している.

図 7 に CM と 4 個の CP_{DM} を縦続接続した際の CM

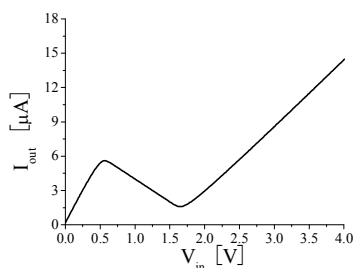


Figure5. A characteristic of Fig.1.

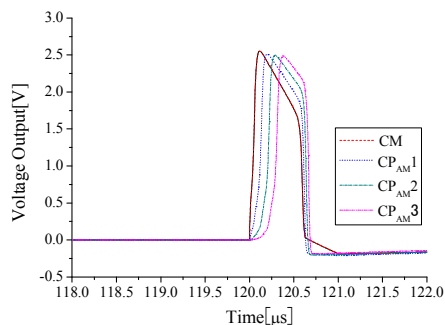
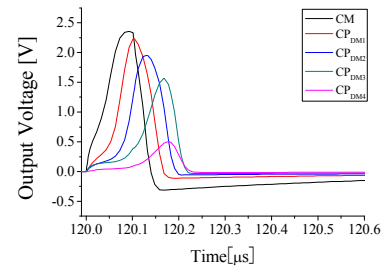
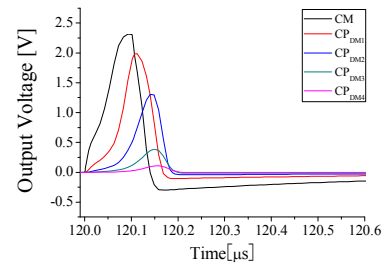


Figure6. Output waveforms of CM and CP_{AM} .



(a) CP_{DM}



(b) CM

Figure7. Output waveforms of a dendrite model.

と CP_{DM} の出力波形を示す. 図中, 横軸は時間, 縦軸は CM, CP_{DM} の出力電圧である. ここで, CP_{DM} の入力電流 I_{Din} が $64[\mu A]$ 付近に閾値を持つように, 図 1 の回路を設計した. 同図(a)は, CP_{DM3} へ, 同図(b)は CM へ電流を入力した場合の CM, CP_{DM} の出力パルスをそれぞれ示している. これらとともに, CM 及び, CP_{DMm} のどちらにも入力を加えた場合でも, CM が先にパルスを出力することを示している.

まとめ

今回のパルス形ハードウェアニューロンモデルの 4 要素である CM, CP_{AM} , CP_{DM} の等価回路を示し, それぞれの有する特性について検討した. その結果, CM の等価回路が他励振, 及び自励振の特性を, CP_{AM} が CM からのパルスが遅延しながら伝搬する特性を, CP_{DM} が CP_{DM} , CM の入力箇所によらず CM が先にパルスを出力する特性及び, CM からのパルスを逆伝搬し, 空間的にパルスを減衰する特性を有することを示した.

現在, シナプスモデルについても, 検討中である.

参考文献

[1] 大瀧光彦, 大場健太, 関根好文: 「ハードウェアニューロンモデルのシナプス結合荷重値の変化特性に対する検討」, 電気学会電子・情報・システム部門大会講演論文集, GS10-3, 2012