

M-19

ハードウェアで構成した 2 次 $\Delta \Sigma$ A/D 変換器のディザリングに対する一検討

A study on Dithering Effect of Second-order Delta-Sigma Analog-to-Digital Converter Constructing by Hardware

○和田生久真¹, 佐伯勝敏², 関根好文³

*Ikuma Wada¹, Katsutoshi Saeki², Yoshifumi Sekine³

Abstract: Recently, it is become important to discuss the problem of idle tones by low-level DC inputs. Previously, we suggested that dithering effects of single-bit delta-sigma analog-to-digital converter with chaotic oscillation circuit which is a Λ -type negative resistance device by simulation.

In this paper, we study that dithering effects of second-order delta-sigma analog-to-digital converter by the discrete components with chaotic oscillation circuit using a Λ -type negative resistance device with the hardware. As a result, it is shown that the chaotic oscillation circuit using a Λ -type negative resistance device can suppress the idle tones in a second-order delta-sigma analog-to-digital converter constructing by hardware.

1. まえがき

近年, $\Delta \Sigma$ (デルタ・シグマ) A/D 変換器 (以下 $\Delta \Sigma$ ADC と略す) の変換性能の向上を目的とした研究が盛んに行われている. $\Delta \Sigma$ ADC には, 変換性能を劣化させる特有のリミットサイクル発振によるアイドルトーンが存在する. この解決策の 1 つとして, ディザ信号を印加するディザリングが挙げられる^[1]. ディザ信号は, 入力信号をアイドルトーンと無相関な波形に成形する. そのため, ディザ信号は, アイドルトーンと無相関な波形である必要がある^[2]. 先に我々は, MATLAB/Simulink を用いたシミュレーションにおいて, Λ 形負性抵抗素子を用いたカオス系列によるディザリングを提案した^[3].

本論文では, Λ 形負性抵抗素子を用いたカオス発振回路のカオス系列を用いて, 2 次 $\Delta \Sigma$ ADC のディザリング効果についてハードウェアにて検討を行った.

2. 本論

Fig. 1 に今回検討に用いた 2 次 $\Delta \Sigma$ ADC の回路図を示す. 同図は, 1 段目の積分器がオペアンプ OP₁ と抵抗 R₁, コンデンサ C, 2 段目の積分器がオペアンプ OP₂ と抵抗 R₂, コンデンサ C で構成し, オペアンプ OP₄ による 1 ビット量子化器, D-FF による遅延器で構成された 2 次 $\Delta \Sigma$ ADC である. 1 段目の積分器の出力オペアンプ OP₃ により, 出力を反転させ, 2 段目の積分器の出力と足し合わせている. 抵抗 R₇ は D-FF の出力をアナログ信号に変換する DAC の役割をする. D-FF に入力するクロックの周波数によって, $\Delta \Sigma$ ADC で用いるオーバーサンプリング周波数を変更することができる. 今回は信号帯域を 20[kHz], オーバサンプリング比は 64 倍とし, クロックには周波数 2.56[MHz], 2[V] のパルス波形を入力している. アイドルトーンは比較器によって発生するため, ディザリングとして用いるディザ信号は比較器の手前で印加する. ディザ信号が $\Delta \Sigma$ ADC 回路からの影響を

受けて発振波形が変化することを防ぐために, オペアンプ OP₅ によるボルテージフォロワ回路と抵抗 R₈ を用いてディザ信号を印加する. 各素子のパラメータは R₁=R₃=100[Ω], R₂=50[Ω], R₄=75[Ω], R₅=1[k Ω], R₆=10[Ω], R₇=10[k Ω], R₈=15[k Ω], C=1[nF] とし, 各オペアンプには V_{EE}=+5[V], V_{SS}=-5[V], D-FF には V_{CC}=+5[V] の電圧を印加する.

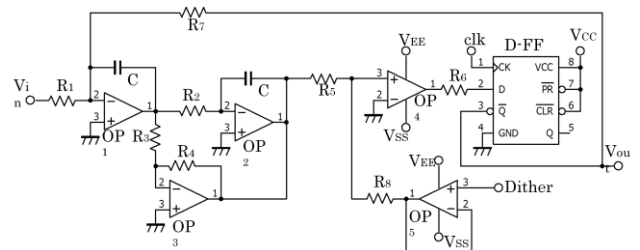


Fig.1 Second-order $\Delta \Sigma$ ADC

Fig. 2 に直流入力電圧 3.1[mV] を印加した場合の各入力ディザ信号によるディザリングに対する出力波形の周波数スペクトラムを示す. 同図(a)はディザリングなしの場合, (b)は疑似ランダム系列によるディザリングの場合, (c)は Λ 形負性抵抗素子を用いたカオス系列によるディザリングの場合, (d)は Chua 回路^[4]によるカオス系列によるディザリングを示している. 図中, 縦軸は利得, 横軸は周波数を示している. 同図(a)では, 9.9[kHz] に -34.6[dB] のアイドルトーンと高調波成分が発生している. 同図(b)では, ノイズフロアに対して高いアイドルトーンが発生している. 同図(c)では, 高調波成分が抑圧されているが, アイドルトーンが抑圧されていない. 同図(d)では, ノイズフロアより高い周波数成分がなく, アイドルトーンと高調波成分が抑圧されている. 同図(d)より, Λ 形負性抵抗素子を用いたカオス系列は, ハードウェアで構成した場合において 2 次 $\Delta \Sigma$ ADC で発生するアイドルトーンの抑圧が可能であることを示している.

1 : 日大理工・院 (前)・電子 2 : 日大理工・教員・電子 3 : 日大名誉教授

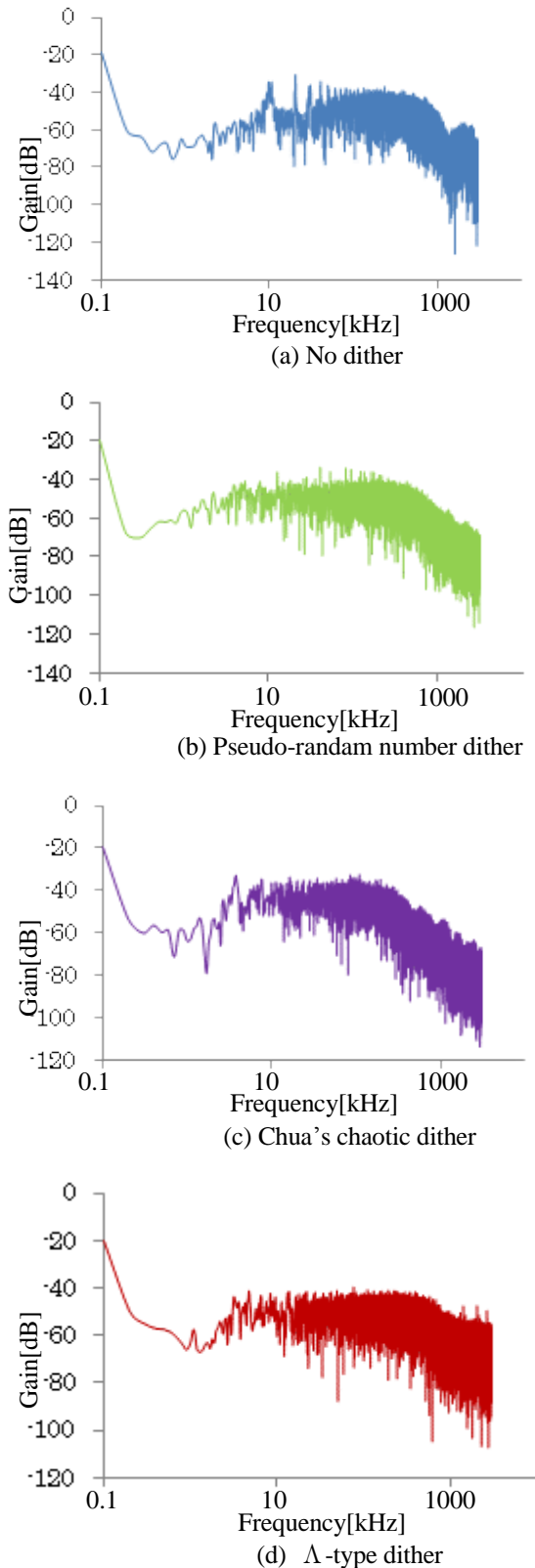


Fig.2 Output spectrum (-3.1[mV] DC input)

Fig. 3に各入力ディザ信号の直流入力電圧に対する有効ビット数を示す. 同図は, 直流入力電圧を-3.0[mV]~-3.5[mV]まで変化させたとき, ディザリングなしの場合, 疑似ランダム系列を印加した場合, Chua回路を用いたカオス系列を印加した場合, Δ形負性抵抗素子を用いたカオス系列のディザリングを印加した場合の有効ビット数を比較したものである. 図中, 縦

軸に有効ビット数, 横軸に直流入力電圧を示している. 同図より, 有効ビット数はディザリングなしの場合では3~4[bit], 疑似ランダム系列では4~5[bit], Chua回路を用いたカオス系列では4~5[bit], Δ形負性抵抗素子を用いたカオス系列では5~7[bit]を示している. 以上よりΔ形負性抵抗素子を用いたカオス系列は, 疑似ランダム系列に比べ有効ビット数を1~2[bit], Chua回路を用いたカオス系列に比べ有効ビット数を1~2[bit]改善できることを示している.

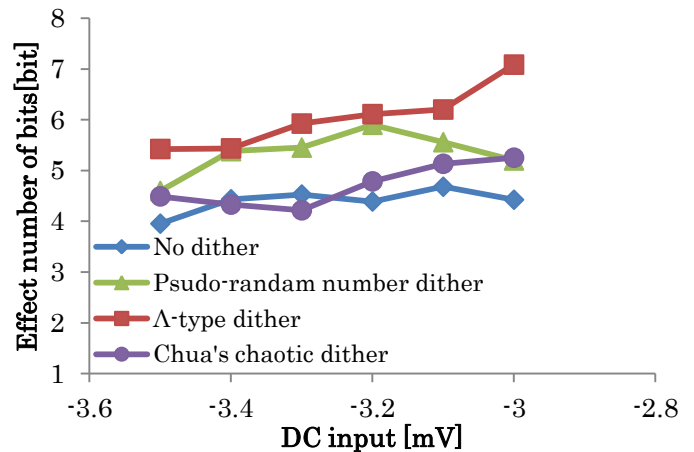


Fig.3 ENOB for DC input voltage second-order $\Delta\Sigma$ ADC

3. まとめ

本論文では, Δ形負性抵抗素子を用いたカオス発振回路のカオス系列を用いて, 2次 $\Delta\Sigma$ ADCのディザリング効果についてハードウェアにて検討を行った. その結果, Δ形負性抵抗素子を用いたカオス系列は, ハードウェアで構成した2次 $\Delta\Sigma$ ADCにおいてディザリング効果があることを明らかにした. また, 直流入力電圧-3.0[mV]~-3.5[mV]の範囲で, 疑似ランダム系列に比べて有効ビット数を1~2[bit], Chua回路を用いたカオス系列に比べ有効ビット数を1~2[bit]改善できることを明らかにした.

今後は, さらに高次 $\Delta\Sigma$ ADCを構成し, ディザリングについての検討を行うとともに, 集積化を行う予定である.

4. 参考文献

- [1] 和保考夫, 安田彰:「 $\Delta\Sigma$ 型アナログ/デジタル変換器入門」, 丸善株式会社, 2008.
- [2] Richard Schreier: “On the Use of Chaos to Reduce Idle-Channel Tones in Delta-Sigma Modulators”, IEEE, Vol.41, No.8, pp.539-547, 1994.
- [3] 和田生久真, 中里光志, 佐伯勝敏, 関根好文:「カオス信号を用いた $\Delta\Sigma$ A/D変換器のディザリング効果に対する検討」, 信学ソ大, A-1-1, p.1, 2011.
- [4] Kazuya Kotaka, Takahiro Inoue, Akio Tsuneda: “A Design of CMOS Chua-Type Analog Chaos Circuit Based on a Signal Flow Graph”, IEICE, Vol.E81-A, No.7, pp.941-942, 1998.