

C-6

## Pocket 構造がトンネル FET の電气的特性に及ぼす影響

Influence of Pocket Structure on Electrical Characteristics of Tunnel FETs

○大西尚征<sup>1</sup>, 高橋芳浩<sup>2</sup>\*Naoyuki Onishi<sup>1</sup>, Yoshihiro Takahashi<sup>2</sup>

Abstract: Tunnel FETs (TFETs) have been proposed as steep-slope transistors for reducing power consumption. We found that the slope of output characteristics could be increased by introducing pocket structure at the source-body interface [1]. In this paper, we investigate the influence of pocket structure on subthreshold characteristics.

## 1. 序論

半導体集積回路には更なる低消費電力化が求められている。しかし、現在ロジック CMOS LSI に用いられる MOSFET では、室温における S.S (Subthreshold slope) 値が 60 mV/dec. という原理的な限界を有することから、更なる電源電圧の低下は OFF 電流の増大を引き起こす。電源電圧と OFF 電流を共に低下させるためには S.S 値が小さい、すなわち OFF 状態から急峻な立ち上がりを持って ON 状態へと移行できる Steep-slope transistor が必要となる。

Steep-slope transistor の一つとしてトンネル FET (TFET) が提案されている。TFET は MOSFET に作製工程が近く、放射線照射時の寄生バイポーラ効果が抑制可能なデバイスである。しかし MOSFET に比べ、 $I_D$ - $V_D$  特性の立ち上がりが緩やかであり、CMOS 回路適用時のスイッチング時間の増大が懸念される。これまでに、Source-Body 界面に Pocket 構造を導入することにより、立ち上がりが急峻になることを確認した[1]。そこで今回はデバイスシミュレーションを用いて、Pocket 構造がサブスレッショルド特性に及ぼす影響について検討した。

## 2. デバイスシミュレーション

Fig.1 に検討対象の構造を示す。酸化膜厚 0.6 nm, Body 厚さ 30nm, チャネル長  $L_C=100$ nm のダブルゲート型 n-TFET において、Source-Body 界面に n 型の Pocket 構造を装荷した構造である。また、不純物濃度は Body:  $N_b = 1 \times 10^{17} \text{ cm}^{-3}$ , Pocket:  $N_p = 1 \times 10^{19} \text{ cm}^{-3}$ , Drain:  $N_d = 1 \times 10^{20} \text{ cm}^{-3}$  とし、Source の不純物濃度 ( $N_s$ ) とポケット長 ( $L_p$ ) の変化が入力特性に及ぼす影響について、Synopsys 社の Sentaurus TCAD 2次元シミュレーターを用いて評価した。なお、ゲート電圧、ドレイン電圧は各々  $V_G$ ,  $V_D$  と示す。

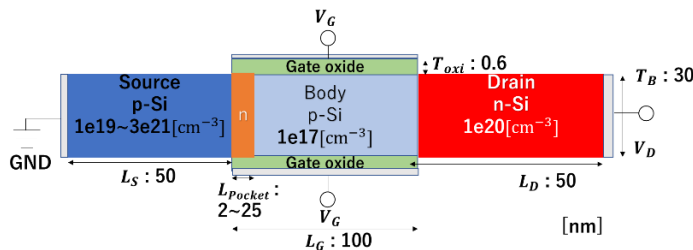


Figure 1.  
n-ch Si TFET with pocket structure

## 3. 結果及び考察

Fig.2 に  $L_p=10$ nm,  $V_D=1.0$ V における、 $N_s$  の変化に対する  $I_D$ - $V_G$  特性 (入力特性) の変化を示す。結果より、 $N_s$  の増大と共に  $V_G=1.0$ V における電流が増加した。ただし、 $N_s$  の増大と共に、電流が増加し始

めるゲート電圧は低下することも確認でき、この電圧の変化が電流増加を見かけ上、引き起こしたとも考えられる。そこで、Fig.2 の各特性において  $I_D = 1 \times 10^{-14} \text{ A}/\mu\text{m}$  となる  $V_G$  を  $V'_G = 0$  と定義し、 $V'_G$  に対するドレイン電流について検討した (Fig. 3)。このとき、 $V'_G$  に対する  $I_D$  の傾きが大きいほど、S.S 値は小さくなる。結果より、 $N_s$  の増大と共に電流値および特性の傾きは増大し、 $1 \times 10^{20} \text{ cm}^{-3}$  程度でほぼ飽和することがわかった。これは、Source 領域からの Body 領域へのトンネル電流密度の増大が原因と考えられる。

Fig. 4 に  $N_s = 3 \times 10^{20} \text{ cm}^{-3}$ ,  $V_D = 1.0 \text{ V}$  における、 $L_p$  の変化に対する入力特性の変化を示す。 $N_s$  の変化と同様に、 $L_p$  と共に電流は増加するもの、電流が立ち上がる  $V_G$  は低下した。そこで上記と同様に、 $V'_G$  に対する特性評価した (Fig. 5)。その結果、 $L_p$  を変化させても特性は変化しないことがわかった。

なお、同様に  $L_p = 2 \text{ nm}$ ,  $N_s = 3 \times 10^{20} \text{ cm}^{-3}$ ,  $V_D = 1.0 \text{ V}$  における、 $N_p$  の変化に対する  $V'_G$  に対する特性について評価した結果、 $N_p$  を変化させても特性は変化しないことを確認している。

#### 4. まとめ

Pocket 構造を有する TFET における  $N_s$ ,  $L_p$ ,  $N_p$  が入力特性に及ぼす影響について検討した。その結果、 $N_s$  を増大させることにより、S.S 値の低下が可能でなることがわかった。一方、 $L_p$ ,  $N_p$  が S.S 値に及ぼす影響は小さいことを確認した。今後、 $N_s$  を変化した際の TFET の CMOS 動作時のスイッチング特性の変化について検討を進める予定である。

#### 謝辞

本研究は、東京大学大規模集積システム設計教育研究センター(VDEC)を通し、シノプシス株式会社の協力で行われたものである。

#### 参考文献

- [1] 藤井陸功、他 2022 年第 69 回応用物理学会 春期学術講演会 23a-E307-11,2022.

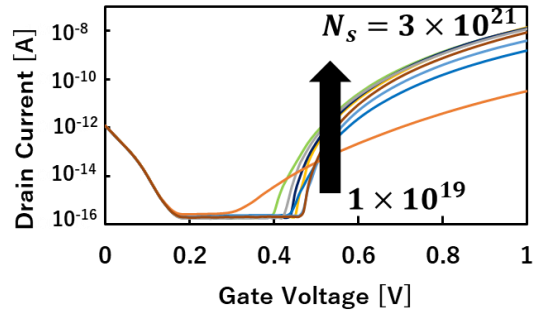


Figure 2.  $N_s$  dependence on subthreshold characteristics

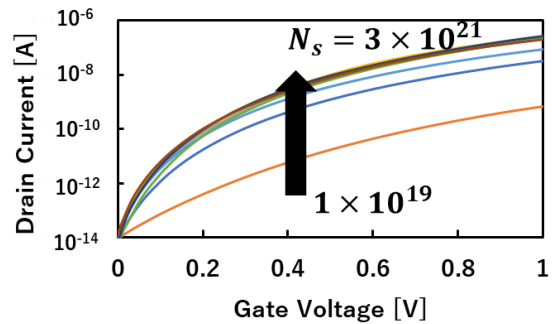


Figure 3.  $N_s$  dependence on  $I_D$ - $V'_G$  characteristics.  $V'_G = 0$  is defined by the gate voltage when  $I_D = 1 \times 10^{-14} \text{ A}/\mu\text{m}$ .

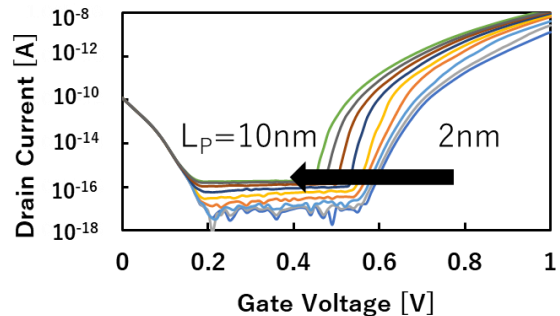


Figure 4.  $L_p$  dependence on subthreshold characteristics

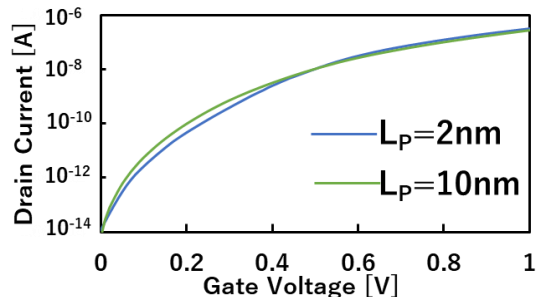


Figure 5.  $L_p$  dependence on  $I_D$ - $V'_G$  characteristics.  $V'_G = 0$  is defined by the gate voltage when  $I_D = 1 \times 10^{-14} \text{ A}/\mu\text{m}$ .