

## カオス信号を用いた $\Delta \Sigma$ A/D 変換器のディザリング効果に対する一検討 A Study on Dithering Effects of Delta-Sigma Analog Digital Converter using Chaotic Signal

○中里光志<sup>1</sup> 佐伯勝敏<sup>2</sup> 関根好文<sup>2</sup>

\*Mitsushi Nakazato<sup>1</sup> Katsutoshi Saeki<sup>2</sup> Yoshifumi Sekine<sup>2</sup>

Abstract: Recently, it is become important to discuss the problem of idle channel tones by low-level DC inputs. Especially, high-order single-bit delta-sigma converters have a lot of problems. However, the idle channel tones can be reduced by the dithering effects.

In this paper, we study the chaotic dither generator using a  $\Delta$ -type negative resistance device by simulation. As a result, it is shown that the chaotic dither signal has superior dithering effects compared to pseudo-random dithering.

### 1. まえがき

近年、 $\Delta \Sigma$  (デルタ・シグマ) A/D 変換器 (以下  $\Delta \Sigma$  ADC と略す) の変換性能の向上を目的とした研究が盛んに行われている。  $\Delta \Sigma$  ADC には、変換性能を劣化させる特有のリミットサイクル発振によるアイドルトーンが存在する<sup>[1]</sup>。この解決策の一つとしてディザ信号を印加するディザリングが挙げられる。ホワイトノイズや疑似ランダム系列などで生成されるディザ信号は、入力信号をアイドルトーンと無相関な波形に成形する。ここでディザ信号はこのトーンと十分に無相関な波形である必要があるが、一般によく利用される疑似ランダム系列で生成されるディザ信号では、十分に無相関とはいえない。そこでディザ信号にカオス系列を用いる方法が提案されている<sup>[2]</sup>。

本論文では  $\Delta$  形負性抵抗素子による発振回路のカオス系列に着目し、  $\Delta \Sigma$  ADC の疑似ランダム系列、カオス系列によるディザリング効果の比較を行ったので報告する。

### 2. 本論

Fig.1 に今回検討に用いた  $\Delta \Sigma$  ADC のブロック図を示す。同図は 3 次の  $\Delta \Sigma$  ADC である。今回、サンプリング周波数  $f_s=2.8$ [MHz], 信号帯域幅  $f_B=22$ [kHz], オーバーサンプリング比  $OSR=64$  とし、アイドルトーン周波数は以下の式で定義する<sup>[3]</sup>。

$$f_{IT} = x_{DC} f_s = 2x_{DC} f_B OSR \quad (1)$$

( $x_{DC}$  : 直流の入力電圧 )

Fig.2(a) に疑似ランダム系列のディザを施した出力波形, (b) に  $\Delta$  形負性抵抗素子によるカオス系列のディザを施した出力波形の周波数スペクトルを示す。同図は入力信号に 0.5[mV] の直流電圧を入力したもので、縦軸に利得, 横軸に周波数を示している。同図(a)は 1.4[kHz]

のアイドルトーンとその高調波が抑圧されずに現れているのに対し、同図(b)はアイドルトーンや高調波が抑圧されており、疑似ランダム系列はディザリング効果がカオス系列に比べて弱いことを示している。

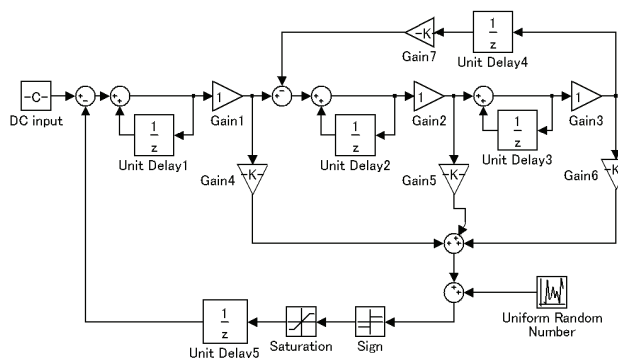
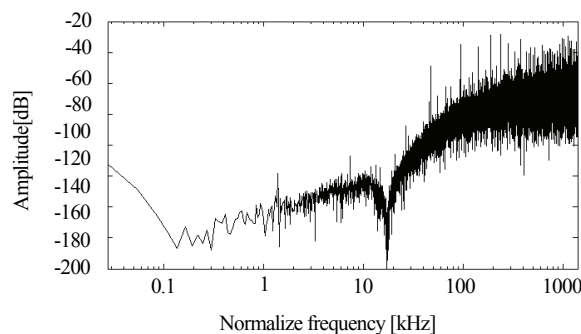
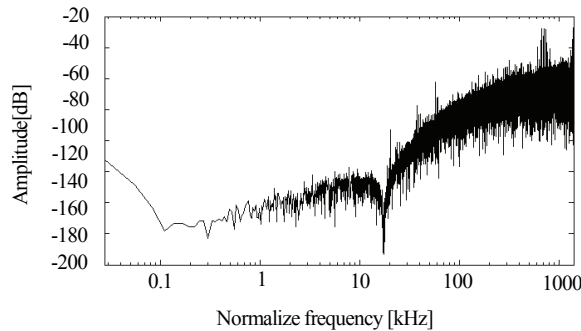


Figure 1. Block diagram of the third order  $\Delta \Sigma$  ADC.



(a) Pseudo-random number dither.



(b) Chaotic dither.

Figure 2. Output spectrum for 0.5mV DC input.

1 : 日大理工・院・電子 2 : 日大理工・教員・子情

Fig.2 より, A/D 変換器の出力は, 意図しない何らかの周期性を持っていた場合それがトーンとなり, このトーン性のノイズにディザ信号を印加すると, その周期性が乱れ, トーンを抑圧することができる. この時, トーンとディザリングを施した出力信号は, 無相関となる. そこで, トーンを持つ出力とディザリングを施した出力の相関係数を算出し, 比較を行った. また, 今回,  $\Delta$ 形負性抵抗素子のカオス系列の他に, Chua 回路<sup>[4]</sup>によるカオス系列と, ロジスティック方程式によるカオス系列を用いたディザリングも行い, カオス系列同士の比較を行った. Chua 回路はハードウェアで構成されたカオス発生器で, ロジスティック方程式は非線形な関数であり, カオス的な振る舞いをすることが知られている.

Table.1 にトーンを持つ出力と, 各ディザ信号によりディザリングを施した出力の相関係数を示す. 一般に相関係数は, 0~0.2 で無相関, 0.2~0.4 では多少の相関があるといわれている. Table.1 より, 疑似ランダム系列,  $\Delta$ 形負性抵抗素子を用いたカオス発振回路, Chua 回路は多少の相関が見られるが, 疑似ランダム系列は相関係数が他よりも高く, ディザリング効果が薄いことを示している. またロジスティック方程式によるカオス系列は無相関であり, 高いディザリング効果があることを示している.

Table 1. Output correlation coefficient.

	P-Random	$\Delta$ -Type	Chua	Logistic
Correlation	0.348	0.224	0.248	0.080

次に, 直流入力電圧に対する SFDR(Spurious-Free Dynamic Range)に対して検討を行う. アイドルトーン周波数は式(1)より直流の入力電圧により移動し, 信号帯域  $f_b$  に現れることで S/N 比や SFDR などの変換性能を大きく劣化させる. そこで直流の入力電圧に対する SFDR の変化を, 各ディザ信号を印加し比較を行う.

Fig.3 に各ディザ信号の直流入力電圧に対する SFDR の比較を示す. 同図は, 直流入力電圧を 0.1~100[mV] まで変化させた時の, ディザなしの場合と疑似ランダム系列,  $\Delta$ 形負性抵抗素子を用いたカオス発振回路, Chua 回路, ロジスティック方程式によるカオス系列を用いてディザリングをした場合の SFDR を比較したものである. 同図は, 縦軸に SFDR, 横軸に直流入力電圧を示している. 同図より, ディザなしの場合に対し各ディザ信号を印加することで, 一様に SFDR が改善されることを示している. また, 疑似ランダム系列に比べカオス系列のディザリング効果が高い. しかし,

Chua 回路は入力電圧の変動に対して SFDR が不安定で, 3[mV]付近では疑似ランダム系列より変換性能が低下する. それに比べ,  $\Delta$ 形負性抵抗素子を用いたカオス発振回路によるカオス系列は入力電圧による SFDR の変動が小さく, ロジスティック方程式に近い性能を持ち, 安定したディザリングが行えることを示している.

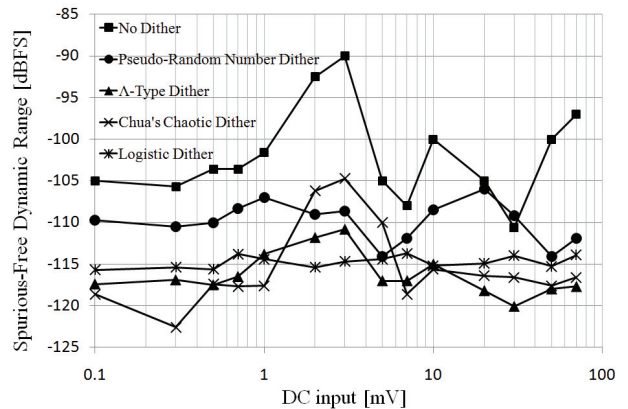


Figure 3. Comparison of SFDR for the level of the DC input of each dithering signal.

### 3. まとめ

本論文では, 疑似ランダム系列と,  $\Delta$ 形負性抵抗素子を用いたカオス発振回路, Chua 回路, ロジスティック方程式によるカオス系列のディザリング効果の比較を行った. その結果, 疑似ランダム系列に比べ, カオス系列はディザリング効果が高いことを明らかにした. また, カオス系列の中でも,  $\Delta$ 形負性抵抗素子を用いたカオス発振回路によるカオス系列は, ロジスティック方程式と同等の, 高いディザリング効果があることを明らかにした.

今後は, さらに高次の  $\Delta \Sigma$  ADC に対する  $\Delta$ 形負性抵抗素子を用いたカオス発振回路のディザリング効果について検討する予定である.

### 4. 参考文献

- [1] 和保孝夫, 安田彰:「 $\Delta \Sigma$ 型アナログ/デジタル変換器入門」, 丸善株式会社, pp34-37, 2007.
- [2] Richard Schreier: “On the Use of Chaos to Reduce Idle-Channel Tones in Delta-Sigma Modulators”, IEEE, Vol.41, No.8, pp539-547, 1994.
- [3] Chris.Dunn,Mark.Sandler: “Efficient Linearisation of Sigma-Delta Modulators using Single-Bit Dither”, Electronics Letters, Vol.31, No.12, pp941-942, 1995.
- [4] Kazuya Kotaka,Takahiro Inoue,Akio Tsuneda: “A Design of CMOS Chua-Type Analog Chaos Circuit Based on a Signal Flow Graph”, IEICE, Vol.E81-A, No.7, pp941-942, 1998.