

OTA のシナプス回路を用いたパルス形ハードウェア ITD モデル
 A Pulse-type Hardware Interaural Time Difference Model with Synaptic Part of OTA

櫻井翼¹, ○張寧², 関根好文³

Tsubasa Sakurai¹, *Ning Zhang², Yoshifumi Sekine³

Abstract: We are studying the ITD (Interaural Time Difference) of the important information for sound source localization system to model, and construct the pulse hardware ITD model using the pulse-type hardware neuron models. In recent year, many investigators construct synaptic part for a pulse-type hardware neuron model of OTA (Operational Transconductance Amplifiers). In this paper, we propose a pulse-type hardware ITD model with the OTA which can be constructed by a CMOS process. HSPICE simulation results show that this model is able to detect time difference and realize analog VLSI design.

1. まえがき

近年、音源定位を行うシステムには、様々なものが提案されている^[1]。特に生体の聴覚情報処理機能が非常に優れているという観点から生体の聴覚情報処理機能を模擬した音源定位システムをモデル化する研究が盛んに行われている^[1]。

我々は生体の刺激活動であるパルス波形を模擬したパルス形ハードウェアニューロンモデル(Pulse-type Hardware Neuron Model 以下、P-HNM)^[2]を用いて、音源定位システムの構築を目的に研究を行っている。

音源定位システムをモデル化の際に、左右方向の音源の位置を特定する際に用いる情報である ITD(Interaural Time Difference)が重要な情報源として挙げられる。そこで、先に我々はITDを用いたパルス形ハードウェアITDモデルを提案した^[3]。しかし、従来のパルス形ハードウェアITDモデルのシナプスモデルには、理想的な演算増幅器を使っており、実用性がない。また、演算増幅器を用いて実装する場合、占有面積が大きくなる問題点が挙げられる。

本論文では、IC化を考慮し、OTAのシナプス回路を用いてパルス形ハードウェアITDモデルを構築し、回路シミュレータHSPICEを用いてシミュレーションを行ったので報告する。

2. 本論

図 1 に、今回検討に用いたパルス形ハードウェア ITD モデルの概略図を示す。同図は、P-HNM の細胞体モデル、軸索モデル、シナプスモデルを用いて簡略化したモデルを示している。図中、Left input, Right input は、入力端子を示し、パルス電圧に変換した音の信号が入力される。丸(○)は、細胞体モデルを示し、四角(□)は、各軸索モデルを示し、 v_{Li}, v_{RN+1-i} は各軸索モデルの出力電圧を、 v_i は細胞体モデルの出力電圧をそれぞれ示している。今回、中心位置と Left input 側、Right input 側に細胞体モデルを配置するため、 N の配置数を奇数個とした。ただし、パルス形ハードウェア ITD モデルの中心位置を $C_k(k=(N+1)/2)$ で示した。また、 N 個に分割した Left input 側、Right input 側の各軸索モデルから各細胞体モデルへは、2 つのパルス電圧を細胞体モデルへと伝えるため、赤い矢印で示したシナプスモデルを用いて接続する構成とした。本モデルは、2 つの入力端子から入力された信号が、一致し位相同期した細胞体モデルがパルスを出力することで時間差情報を得ることができるモデルである。

図 2 に、パルス形ハードウェア ITD モデルに用いた P-HNM の回路構成を示す。図 2(a)は図 1 中の Left input 側の四角(□)の A_{Li} に相当する各軸索モデルを示しており、Right input 側も同様に配置している。図 2(b)は図 1

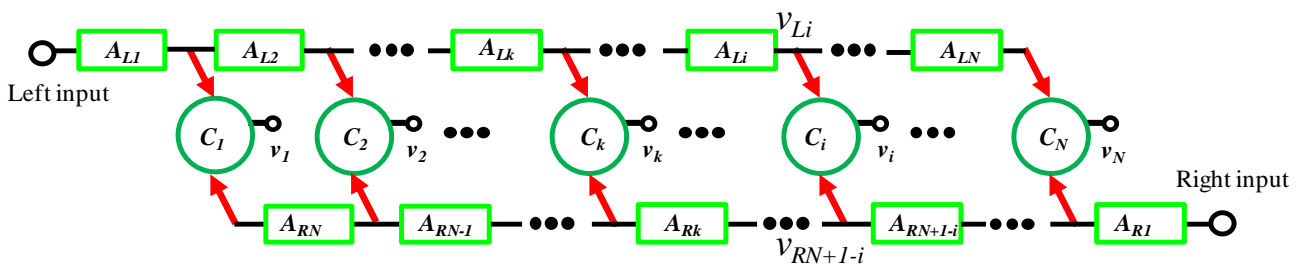


Figure 1. Schematic diagram of pulse-type hardware ITD model.

1 : 日大理工・院・電子 2 : 日大理工・学部・子情 3 : 日大理工・教員・子情

中の A_{Li} から C_i に信号を伝える矢印に相当する OTA のシナプス回路を示している. 図 2(c)は, 丸 (○) の C_i に相当する時間差を検出する細胞体モデルを示している. OTA を用いて構成したシナプスモデルは, Left input 側, Right input 側の各軸索モデル v_{Li}, v_{RN+1-i} からの信号をそれぞれ時間的に加算する積分回路と, 両方の信号を空間的に加算する加算回路から構成しており, 従来の演算増幅器を用いていたシナプス部と同様に, 時空間的に加算する特性を有している. パルス形ハードウェア ITD モデルは, Left input 側, Right input 側の各軸索モデルの出力電圧 v_{Li}, v_{RN+1-i} を OTA のシナプス回路にそれぞれ入力する. 次に, OTA のシナプス回路では, 積分回路で時間的に加算し, 加算回路で両方の信号を空間的に加算した後に, 細胞体モデルから出力する構成とした.

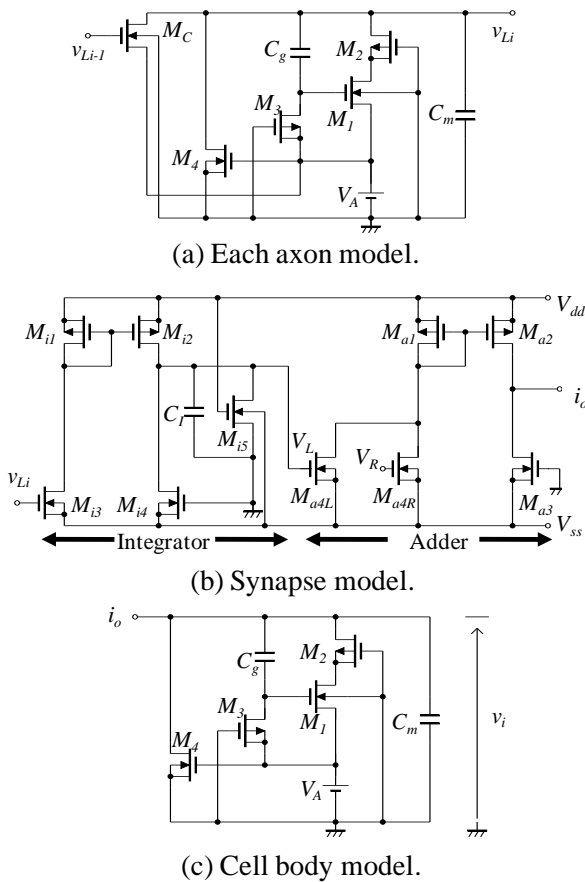


Figure 2. P-HNM.

図3に, パルス形ハードウェア ITD モデルの Left input, Right input に時間差 τ を与えた場合の各細胞体モデルの応答特性を示す. 今回の一例として, 細胞体モデルの配置数 N を 5, 9 とした. 横軸は τ を示し, 縦軸は細胞体モデルの番号を示している. 同図は, τ が変化した場合, 各軸索モデルを伝搬する遅延時間が変じ, 両

方のパルス電圧が一致した細胞体モデルでパルスを出力していることを示している. さらに, τ に応じて, 細胞体モデルの検出位置が推移していることから, 時間差を検出でき, 配置数 N を大きくすることで, 検出できる時間差 τ の範囲が増加していることを示している.

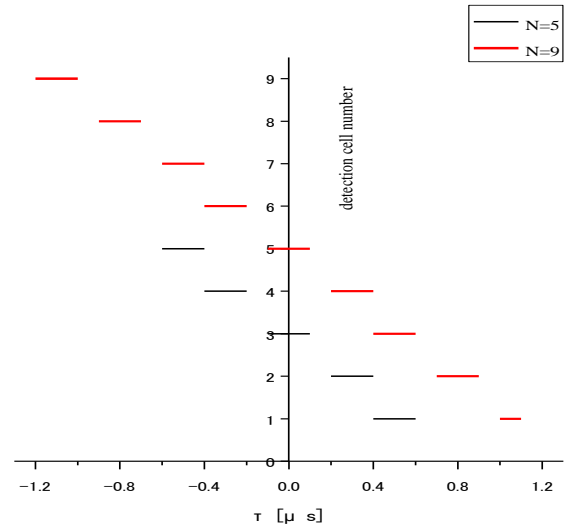


Figure 3. Response characteristics of cell body model vs. time lag τ .

3. まとめ

今回, IC 化を考慮し OTA のシナプス回路を用いて時間差を検出するパルス形ハードウェア ITD モデルを構成し, HSPICE を用いてシミュレーションを行った. その結果, OTA のシナプス回路を用いたパルス形ハードウェア ITD モデルは, 従来シナプス部に演算増幅器を用いていた ITD モデルと同様に, 時間差を検出することが可能であり, 配置数を増やすことにより, 検出できる時間差 τ の範囲が増加していることを示した.

今後, パルス形ハードウェア ITD モデルを IC 化する予定である.

4. 参考文献

[1] 黒柳奨, 岩田彰: 「音源方向定位聴覚神経系モデルによる ITD, ILD の脳内マッピングの実現」, 電子情報通信学会論文誌 (D-II), Vol.J79-D-II, No.2, pp.267-276, 1996.
 [2] 関根好文, 隅山正巳, 佐伯勝敏, 合原一幸: 「エンハンスメント型 MOSFET による Λ 形ニューロンモデル」, 信学論(C), Vol.J84-C, No.10, pp.988-994 (2001).
 [3] T. Sakurai, Y. Sekine “A Study on Pulse-Type Hardware Interaural Time Difference Model” ITC-CSCC2010, pp.1182-1185, 2010.