

FG-MOSFET を用いた多値 SRAM のバイアス部に対する一検討 A Study on Bias-Voltage of Multi-Value SRAM using Floating-Gate MOSFETs

○佐藤洋平¹, 佐々木芳樹², 佐伯勝敏³, 関根好文³
Youhei Satou¹, Yoshiki Sasaki², Katsutoshi Saeki³, Yoshifumi Sekine³

Abstract: In recent years, attention has been paid to multi-value logic technology, because usual binary logic technology realizes the limitations of information quantity. We previously proposed a multi-value SRAM using Λ -shaped negative resistance devices constituted of enhancement-mode MOSFETs and voltage sources. However, this circuit has a large number of power supply voltages.

In this paper, we propose multi-value SRAM using floating-gate MOSFETs. As a result, it is shown that the proposed circuit is able to cut back on power supply voltage by half.

1. まえがき

近年, 半導体の微細化技術が急速に発展していく中, リーク電流や配線の占有面積増加に伴う遅延などが影響し, 微細化技術の物理的限界が予測されている. そこで微細化技術の代わりとして, 1 配線あたりの情報量を増加させることが可能な多値化技術が注目されている.

先に我々は, 半導体デバイスの中でも特に SRAM に着目し, 並列接続により安定点となる電圧を独立に可変可能な Λ 形負性抵抗素子[1]を用いた多値 SRAM を提案している [2].

本稿では, 浮遊ゲート MOSFET(以下 FG-MOSFET)を用いて多値 SRAM のバイアス段を統合し, 使用電源数の削減について検討したので報告する.

2. 本論

2-1 負性抵抗素子

Fig.1 に今回提案する Λ 形負性抵抗素子を用いた i 番目の単位回路とバイアス部の構成を示す. 同図は先に提案した回路の Λ 形負性抵抗素子を構成する nMOS, pMOS に対してそれぞれ FG-MOSFET を用いて電源 V_a , V_g からの分圧を行い V_a , V_g に電源を統合することにより, 使用電源数を削減可能な回路である.

Fig.2 に Fig.1 の単位回路を 3 つ用いた場合の I_{Λ} - V_{data} 特性を示す. 図中の横軸に V_{data} , 縦軸に I_{Λ} を示す.

Fig.2 は V_a により負性抵抗特性を電圧軸方向へ, シフトが可能であることを示している. なお, この解析に使用した V_a は単位回路ごとに 5.3[V], 6.3[V], 7.5[V] であり浮遊ゲートキャパシタは 1 つ目の単位回路の C_{fa1} , C_{fb1} を 12[fF], 38[fF], 2 つ目の単位回路の C_{fa2} , C_{fb2} を 11[fF], 39[fF], 3 つ目の単位回路の C_{fa3} , C_{fb3} を

10 [fF], 40 [fF] とした. また今回の構成は ON Semiconductor 社 1.2 μ m CMOS プロセスを用いて設計し, HSPICE により解析を行った.

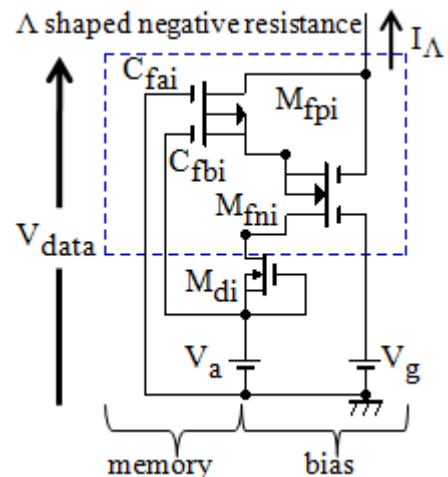


Fig.1 A negative resistance circuit

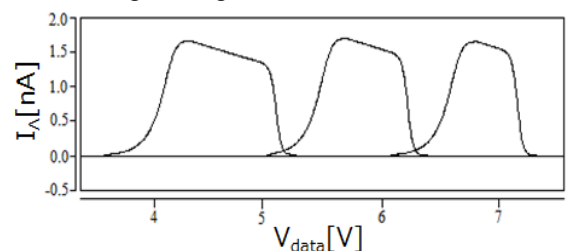


Fig.2 A Static characteristic of Fig.1

2-2 多安定回路

Fig.3 の破線部は多安定回路の構成図を示す. 同図は Fig.1 の単位回路を並列接続し, 定電流源を付加させることにより安定点を多数得ることができる構成である. 同図において安定点 ($I_{data}=0$) における I_{Λ} はキルヒホッフの電流則により,

$$I_{\Lambda} = I_{\text{sink}} - I_{\text{bias}} \quad (1)$$

となる。

Fig.4 に多安定回路の静特性を示す。今回は一例として、安定点 Q を 8 つとした 8 安定回路の静特性を示す。図中の横軸は V_{data} 、縦軸は I_{data} を示す。Fig.5 は Fig.4 の Q_2 、 P_2 の一部分を拡大した図を示している。同図における P 点と Q 点は $I_{data}=0$ における交点であり、正抵抗領域における交点は安定点、負性抵抗領域における交点は不安定点となる。Fig.4 において、負性抵抗領域の交点 $P_1\sim P_7$ は不安定点、正抵抗領域の交点 $Q_1\sim Q_8$ は安定点である。安定状態の移行時において、正抵抗領域の電圧 $Q_i(i=1\sim 8)$ に引き込まれる V_{data} の範囲は $P_i < V_{data} < P_{i+1}$ となる。同図より安定点 Q が 8 個存在しており、これは今回提案する回路構成が 8 安定回路として動作可能であることを示している。また FG-MOSFET を用いることでバイアス部とドライバ部における電源の統合が可能となり、従来の構成に比べ使用電源数を 1/2 に削減できることを示している。

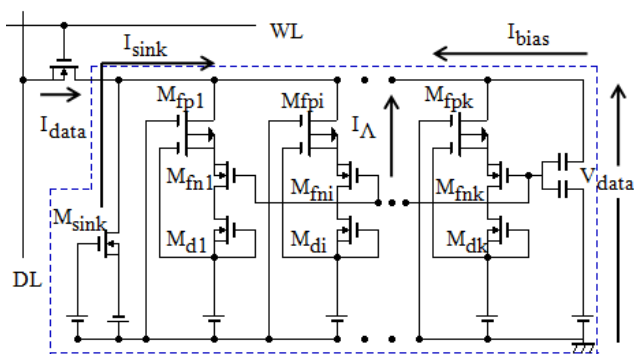


Fig.3 A circuit diagram of multistable circuit

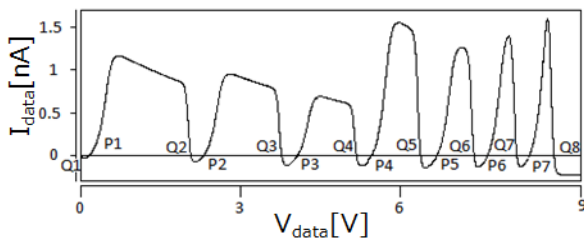


Fig.4 A Static characteristic of Fig.3

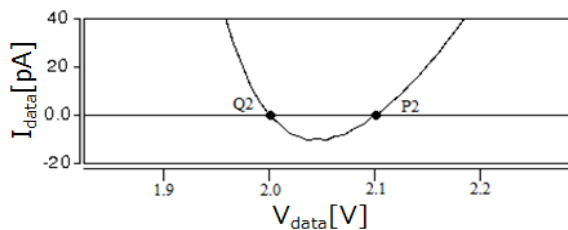


Fig.5 An enlarged drawing of Fig.4

2-3 多値 SRAM

多値SRAMでは、スイッチ用MOSをデータ線DL、ワード線WLにより制御し、外部入力 I_{data} 及び V_{data} を内部

の多安定回路に供給している。Fig.6にFig.3で示した多値SRAMの一例として、安定点を8としたときの8値SRAMのシミュレーション結果を示す。図中の波形は上からWL, DL, V_{data} であり、横軸は時間を示す。図中の波形はWLを一定周期のパルスで与え、DLを時間に対し一定の増加量で与えている。同図より、WLがONのとき内部電圧 V_{data} 、外部電圧DLが同調し、WLがOFFになるときの内部電圧 V_{data} が安定点 Q_i の電圧値に移動していることが分かる。これは、今回提案する回路が多値SRAMとして構成可能であることを示している。

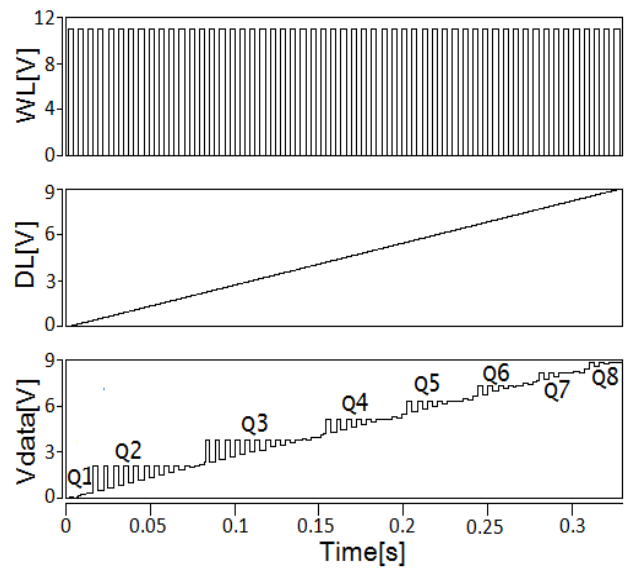


Fig.6 A simulation result of 8-value SRAM

3. まとめ

今回、浮遊ゲート MOSFET を用いて多値 SRAM のバイアス段を統合し、使用電源数の削減について検討を行った。その結果、多安定回路の使用電源数を従来の構成の 1/2 に削減できることを明らかにすると共に、多値 SRAM として構成できることを明らかにした。

今後は提案した FG-MOSFET を用いた多値 SRAM をレイアウト設計し、VDEC を通して IC 化する予定である。

4. 参考文献

- [1] Katsutoshi Saeki, Heisuke Nakashima, Yoshifumi Sekine, CMOS Implementation of a Multiple-Valued Memory Cell Using Λ -Shaped Negative-Resistance Devices, IEICE Trans Fundamentals, Vol. E87-A, No.4, pp. 801-806, 2004.
- [2] 佐々木芳樹, 佐伯勝敏, 関根好文: 「 Λ 形負性抵抗素子を用いた多値SRAMのバイアス部に対する検討」, 信学総大,A-1-21,p.21, 2010.