

Ge 基板上に成膜した CVD SiO₂ 膜の低温熱処理効果The low temperature annealing effects on electric properties of PECVD SiO₂ film fabricated on Ge substrate.○常清悠介¹ 山崎拓也¹ 高橋芳浩²*Yusuke Tsunekiyo¹, Takuya Yamazaki¹, Yoshihiro Takahashi²

Abstract: The annealing effects on electric properties of PECVD SiO₂ film fabricated on Ge substrate have been investigated. Leakage current and density of interface states could be reduced by low temperature annealing in O₂. It was also found that high density of hole traps were distributed in the film.

1. はじめに

Si(シリコン)は熱的安定性を持ち、また絶縁性、界面特性に優れた酸化膜が容易に成膜可能などの理由から半導体デバイスで多用されている。しかし、デバイス縮小化に伴いゲート絶縁膜が過剰な薄膜化が進み、膜厚が原子層レベルに近付いているため物理的に限界が近付いている。また近年小型の情報端末機が市場の主流になっている。これに伴い、低電力で動作可能なデバイスが求められている。

近年、ポスト Si の材料として再度 Ge(ゲルマニウム)が注目されている。Ge は、Si と同じ IV 族半導体であり、Si に比べ電子移動度、正孔移動度が共に数倍高い、またバンドギャップが Si よりも小さいため低電力で動作可能などがその理由として挙げられる。しかし、Ge は Si に比べ、耐熱性が劣っており、Ge-酸化膜界面での GeO(一酸化ゲルマニウム)昇華が 400℃以上で生じる。そのため従来の高温プロセスを用いた絶縁膜の成膜は困難である。^[1]また Ge は希少金属の一種であり高価な物質であるという欠点も有する。これまで我々は、基板ストレス低減のためプラズマ CVD (PECVD: Plasma-Enhanced Chemical Vapor Deposition) カソードカップリング方式を用いた短時間、かつ低温で成膜した絶縁膜の電気的特性評価を行ってきた。^[2]今回は Ge 基板上にプラズマ CVD 法により成膜した SiO₂ 膜(二酸化ケイ素)をゲート絶縁膜とした MIS 構造を作製した後、熱処理を施すことで電気的特性の改善を試みた。

2. 実験方法

図 1 に実験フローチャートを示す。p 形 Ge 基板($\rho=0.332\sim 0.39\ \Omega\text{cm}$)に対し、工業用半導体洗浄液であるセミコクリーン 23(フルウチ化学(株)製)を用い超音波洗浄を 5 min 行った後に、プラズマ CVD 装置を用いて SiO₂ 膜を成膜した。SiO₂ 膜の成膜には N₂ をキャリアガスとして導入した TEOS(Tetra Ethyl Ortho Silicate : Si(OC₂H₅)₄)をプラズマにより分解させ、反応ガスとして O₂ を用いることで成膜を行った。(図 2 参照) エリプソメトリー法により絶縁膜厚を測定した後、ゲート電極として真空蒸着法により直径 300 μm の Al 電極を蒸着し MIS 構造を作製した。作製された試料に対し、リーク電流特性、容量-電圧特性の測定を行い、後に同一素試料に対し O₂ 雰囲気中で 200, 250 °C の熱処理(再酸化)を各々 60 min 施し、各処理後において電気的特性を評価した。

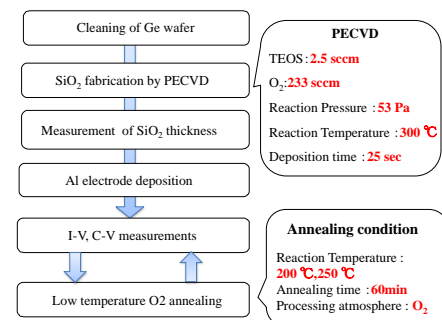


Figure1. Experiment flow

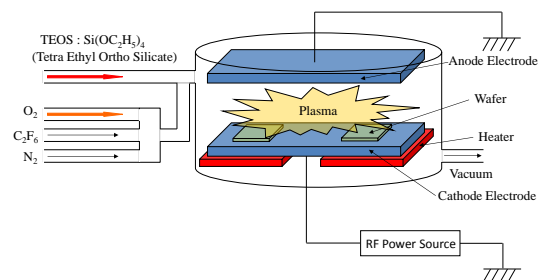


Figure2. PECVD system

3. 実験結果

成膜後の SiO₂ の膜厚は 17 nm であった。

図 3 に熱処理前後における試料のリーク電流特性を示す。熱処理前の試料において、低電界領域のリーク電流特性は約 10⁻⁸ A/cm²、絶縁破壊耐圧は、7MV/cm であった。なお、250 °C 以下の熱処理では絶縁特性に大きな変化は見られなかった。

図 4 に熱処理前の試料、図 5 に 250 °C の熱処理後の C-V 特性を各々示す。反転領域において低周波数になるほど容量値が上昇している。これは Ge 基板のバンドギャップが狭いためである。高周波 C-V 特性(1MHz)と準静的 C-V(Quasi-Static C-V)の結果を用い High-Low 法によって界面準位密度(Dit)を評価した結果を図 6 に示す。真性フェルミレベル近傍で Dit が最小になること、また熱処理により全エネルギー範囲において Dit は増加する傾向にあることが分かった。熱処理によって Dit が増加した理由は、O₂ 雰囲気中により熱処理を施したことで Ge-SiO₂ の界面において再酸化され、GeO₂ が成膜されたと考えられる。この GeO₂ によって SiO₂ のネットワークが破壊されてしまったため Dit が増加したと考えている。ただし、今後、組成比分析などによる詳細な検討が必要である。

図 7 に熱処理前の試料のヒステリシス特性を示す。負のゲート電圧印加により、C-V カーブは大きく負方向にシフトしていることがわかる。これは絶縁膜中の電荷トラップへの正孔捕獲が原因である。また、ヒステリシス幅の大きさから多量の電荷トラップが存在していることがわかる。デバイスの電気的特性安定化のためには、電荷トラップ密度の低減が必要である。

4.まとめ

Ge 基板に成膜したプラズマ CVD SiO₂ 膜の熱処理による電気的特性の改善を試みた。その結果、O₂ 雰囲気中における比較的低温な熱処理では絶縁特性、界面特性共に大きな変化は確認できなかった。一方、ヒステリシス特性よりプラズマ CVD SiO₂ 膜には高密度の正孔トラップが存在していることを確認し、Ge デバイスのゲート絶縁膜としてプラズマ CVD SiO₂ 膜を適用する際には、この電荷トラップ密度の低減が重要であることが分かった。

5.参考文献

- [1]: 伊藤公平:「Ge の材料物性-Si との比較」電子情報通信学会(2009-6)
- [2]: 今川良:「プラズマ CVD を用いた MOSFET の作成と評価」平成 18 年度卒業論文

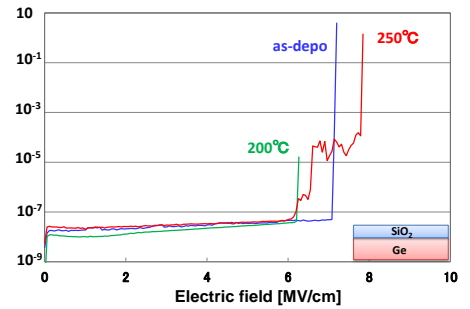


Figure3. Leakage current properties

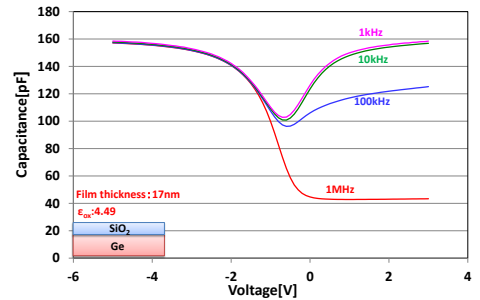


Figure4. C-V characteristics (as-depo)

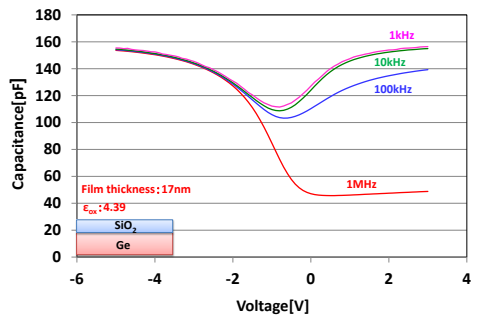


Figure5. C-V characteristics (after 250°C annealing)

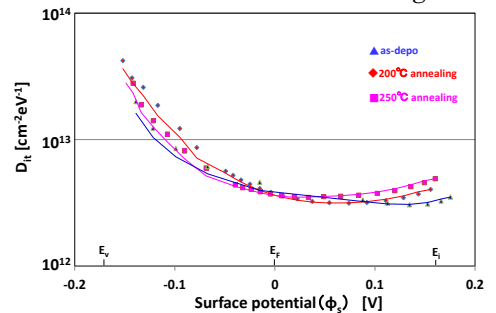


Figure6. Distribution of density of interface trap (Dit)

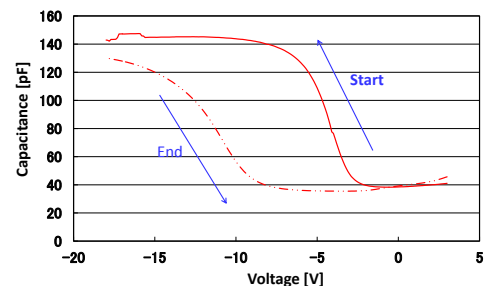


Figure7. C-V hysteresis characteristic (as-depo)