

分割桁上げ方式に基づく冗長 2 進加算復号器の最適化の検討

Optimization of Digital Redundant Binary Addition-Decoder by Division carrying method

○須川博史¹, 秋本拓也¹, 涌井文雄²

*Hiroshi Sugawa¹, Takuya Akimoto¹, Fumio Wakui²

This paper shows the Redundant Binary Addition-Decoder (i.e. RBAD) that based on the Voltage-Mode by optimized Division carrying method. Moreover, this algorithm reductions the load of propagation path by dividing the carrying path and has improved the propagation delay of carry-up signals between the RBAD.

1. まえがき

近年, 高速演算システムの実現に対して冗長数を用いたシステムが開発されているが, これをデジタルシステムに用いるには通常の 2 進数へ復号する必要がある. このため筆者らは, 冗長 2 進加算器配列形デジタル乗算器の高速化とコンパクト化に有効な加算と復号を一括で処理する冗長 2 進加算復号器(RBAD)を提案した. さらに, 同器を電圧モードで構成することでデジタルシステムに対する汎用性を高めた. また, これに加え同器の各伝搬経路の負荷を軽減させることによる伝搬遅延時間の短縮を目的とし, 負荷軽減の方法として桁上げ処理の分割を行った.

本論分では分割桁上げ方式 RBAD について伝搬遅延時間の短縮と回路のコンパクト化について最適化の検討を行う.

2. 分割桁上げ方式冗長 2 進加算復号器

従来のアルゴリズムは, 予め下位桁からの各桁上げについて x_i, y_i から桁上げを求めておき, 伝搬部において桁上げ入力に従ってこれらから選択出力することで桁上げ導出するものであった. 本アルゴリズムは, 従来伝搬部のみで行っていた桁上げ処理を生成部内で一部処理することにより, 桁上げ要素を隣接要素と伝播要素に分割している. これにより桁上げ伝播の負荷から隣接要素を排除することができるため各伝搬経路の負荷を軽減させ桁上げ伝播遅延時間を改善することができる. 図 1 に構成した i 桁目の冗長 2 進加算復号器を示す. 同図の被加数 x_i と加数 y_i , 下位桁からの生成桁上げ c_{i-1}^g は生成部(Generation Part)により生成桁上げ c_{ii}^g, c_{2i}^g 及び生成加算 s_i^g を出力する. さらに c_{2i-1}^g, s_i^g 及び下位桁からの伝搬桁上げ c_{i-1}^p により, 伝播部(Propagation Part)で桁上げ c_i^p , 変換部(Ordinary number Converter)で加算出力 s_i を導出する. なお, これらの値について式(1)が成り立つ.

$$x_i + y_i + c_{i-1}^g + c_{2i-1}^g + c_{i-1}^p = s_i + 2(c_{i-1}^g + c_{2i-1}^g + c_{i-1}^p) \quad (1)$$

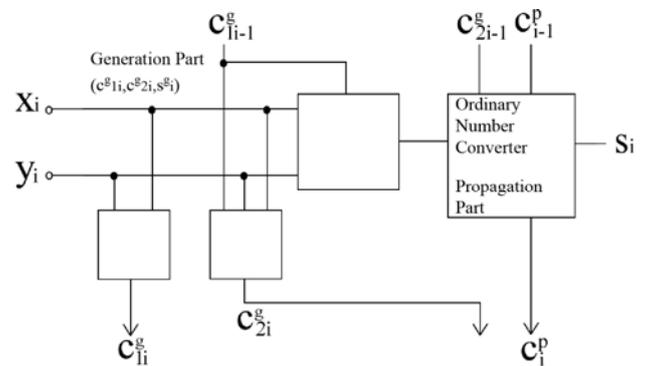


Figure1. Digital Redundant Binary Addition-Decoder

3. 最適化の検討

同器の最適化を行うにあたり, 伝播遅延時間及び回路規模が増大する原因について検討する. 図 2 に従来型 RBAD のアナログ表示伝達特性を示す. 従来型 RBAD のように一度で桁上げ処理を行う場合, 桁上げ要素の励振が大きくなり特性が複雑となるため回路で構成する際の論理段数の増加の原因となり, これが伝播遅延時間及び回路規模の増大へとつながる. そこで分割桁上げ方式による最適化を行う際には各要素の励振を小さくし伝達特性を簡略化する必要がある.

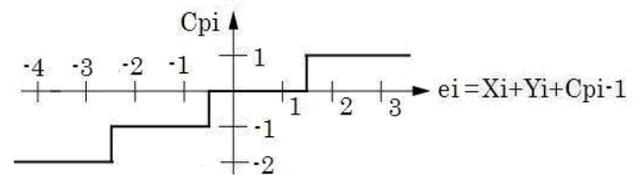


Figure2. The transfer characteristic of former type RBAD

4. 最適化により構成した回路の一例

前節に基づき分割した桁上げ要素の伝達特性をそれぞれ図 3 に示す. これにより各要素の励振を小さくす

1 : 日大理工・院・電子 2 : 日大理工・教員・子情

ることで最適化がなされ、各値を 1 ビットで表した回路構成を行った。このとき各値のとり値及び符号の割り当ては、 $x_i, y_i = x_{1i} x_{0i}, y_{1i}, y_{0i} = \{-1, 0, 1\} = \{11, 00, 01\}$, $c_{2i}^g, s_i^g = \{0, 1\} = \{0, 1\}$, $c_{2i}^p, c_i^p = \{-1, 0\} = \{1, 0\}$, $s_i = \{0, 1\} = \{0, 1\}$ とする。回路を構成するにあたり、各変数についてそれぞれ簡単化を行い構成した回路が図 4 の生成部及び図 5 の変換部、伝播部である。

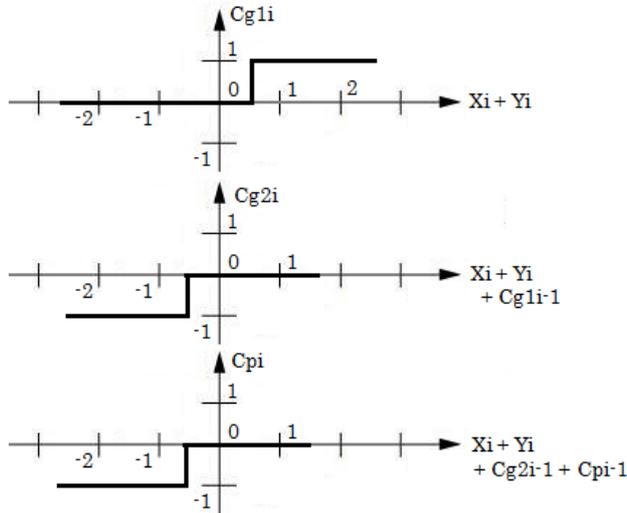


Figure3. The transfer characteristic of divided type RBAD

5. PSpice シミュレーション

本節では最適化を行った分割桁上げ方式 RBAD について電源電圧 3[V]として回路を設計し回路規模の評価を行うとともに、電子回路解析プログラム PSpice を用いて桁上げ伝播遅延の評価を行う。

なお、前節までに述べた回路構成をパターン 1、符号の割り当てを $x_i, y_i = x_{1i} x_{0i}, y_{1i}, y_{0i} = \{-1, 0, 1\} = \{11, 00, 01\}$, $c_{2i}^g, s_i^g, c_i^p = \{-1, 0\} = \{1, 0\}$, $c_{2i}^p, s_i = \{0, 1\} = \{0, 1\}$ として同様に回路構成を行ったものをパターン 2 とし、それぞれのシミュレーション結果を表 1 に示す。

以上より、分割桁上げ方式 RBAD について伝播遅延時間及び回路規模についてそれぞれ最適化を行った。

6. まとめ

以上、分割桁上げ方式冗長 2 進加算復号器について最適化を行った。

最適化にはそれぞれの値の励振を小さくすることで論理段数を少なくし、伝播遅延時間及び回路規模についての縮小を行った。これにより回路については、伝播部においてパターン 1, 2 共に論理段数を 2 段、ゲート数を 4 個にすることができた。

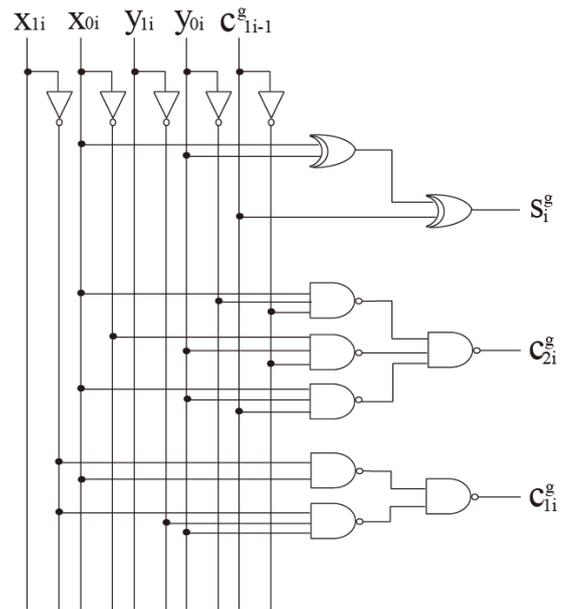


Figure4. Generation Part

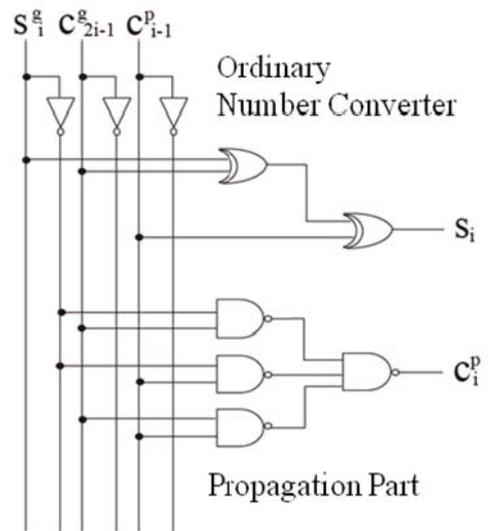


Figure5. Ordinary number Converter & Propagation Part

Table1. Simulation result

	従来型	パターン 1	パターン 2
伝搬遅延時間[ns]	0.45	0.38	0.35
MOSFETs [個]	152	96	102

7. 参考文献

[1] 須川博史, 浅川充宏, 涌井文雄: 「冗長 2 進加算復号器」, 2010 総合大会講演論文集, pp.111, 2010