

M-34

カオス信号を用いた多ビット $\Delta\Sigma$ A/D 変換器のディザリング効果に対する一検討
 A Study on Dithering Effects of a Multi-Bit Delta-Sigma Analog-to-Digital Converter Using Chaotic Signal

○和田生久真¹, 佐伯勝敏², 関根好文²

*Ikuma Wada¹, Katsutoshi Saeki², Yoshihumi Sekine²

Abstract: Recently, it is become important to discuss the problem of idle tones by low-level DC inputs. Previously, we suggested that dithering effects of single-bit delta-sigma analog-to-digital converter with chaotic signal using a Λ -type negative resistance device.

In this paper, we study that dithering effects of multi-bit delta-sigma analog-to-digital converter with chaotic signal using a Λ -type negative resistance device by simulation. As a result, it is shown that the chaotic signal of a Λ -type negative resistance device can suppress the idle tones in a multi-bit delta-sigma analog-to-digital converter.

1. まえがき

近年, $\Delta\Sigma$ (デルタ・シグマ) A/D 変換器 (以下 $\Delta\Sigma$ ADC と略す) の変換性能の向上を目的とした研究が盛んに行われている. $\Delta\Sigma$ ADC には, 変換性能を劣化させる特有のリミットサイクル発振によるアイドルトーンが存在する. この解決策の一つとして, ディザ信号を印加するディザリングが挙げられる^[1]. ディザ信号は, 入力信号をアイドルトーンと無相関な波形に成形する. そのためディザ信号は, このトーンと十分に無相関な波形である必要がある. 一般によく利用される疑似ランダム系列で生成されたディザ信号では, 十分に無相関とは言えない^[2]. 先に我々は, 1 ビット $\Delta\Sigma$ ADC において, Λ 形負性抵抗素子を用いたカオス発振回路のカオス系列を用いたディザリングを提案した^[3]. しかし, 現在用いられている $\Delta\Sigma$ ADC の多くは, 多ビット量子化器が使用されている.

本論文では, Λ 形負性抵抗素子を用いたカオス発振回路のカオス系列を MATLAB/Simulink を用いて, 多ビット $\Delta\Sigma$ ADC のディザリング効果について検討を行った.

2. 本論

Fig.1 に今回検討に用いた多ビット $\Delta\Sigma$ ADC のブロック図を示す. 同図は, 3 次の $\Delta\Sigma$ ADC であり, 信号帯域 $f_B=20$ [kHz], オーバーサンプリング比 $OSR=64$, サンプル周波数 $f_S=2.56$ [MHz] とする. 図中の n ビット DAC と n ビット 量子化器によってビット数を変更することができる. 今回, 微小な直流入力電圧を印加し, 量子化器のビット数を 3 ビットにすることで, 信号帯域内にアイドルトーンを発生させ, Λ 形負性抵抗素子を用いたカオス系列によるディザ信号の印加によってアイドルトーンの抑圧効果について検討した.

Fig.2 に 3 ビット $\Delta\Sigma$ ADC に正弦波を入力した場合の入出力波形を示す. 同図(a)は入力波形, (b)は出力波形を示している. 入力波形の縦軸は振幅, 出力波形の縦軸はデジタル出力, 横軸は共に時間を示している. 入力波形として, 振幅 0.73[V] の正弦波を入力した場合, 出力波形は 3 ~ -4 の 8 つの値で出力されている. 以上より Fig.1 のブロック図が多ビットで出力していることを示している.

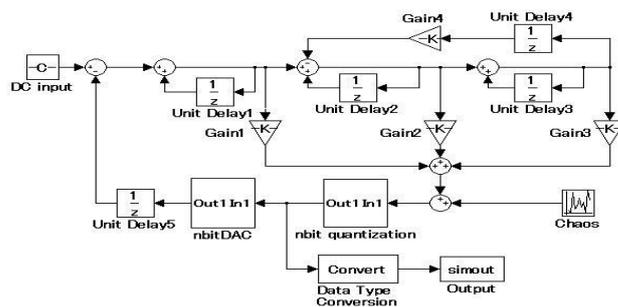


Fig.1 Block diagram of the multi bit $\Delta\Sigma$ ADC

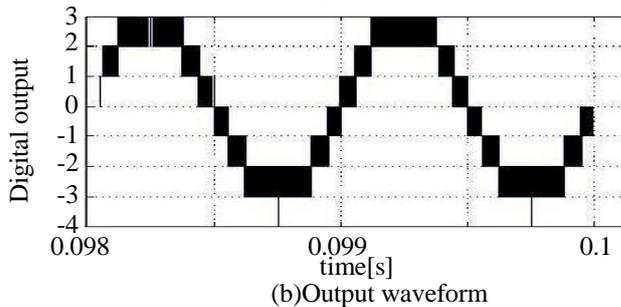
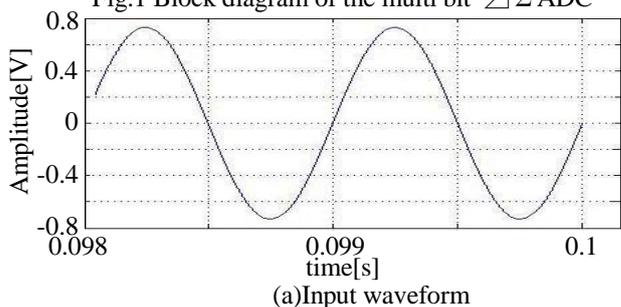


Fig.2 Input and output waveform

1 : 日大理工・学部・子情 2 : 日大理工・子情・教員

Fig3 の(a)にディザリングなしの出力波形, (b)に疑似ランダム系列のディザリングを施した出力波形, (c)に Δ 形負性抵抗素子によるカオス系列のディザリングを施した出力波形の周波数スペクトルを示す. 同図は入力信号に 0.3[mV]の直流電圧を入力したもので, 縦軸は利得, 横軸は周波数を示している. 同図(a)では 3.08[kHz]にアイドルトーンとその高調波成分が抑圧されずに現れているのに対して, 同図(b)では 3.08[kHz]に少しレベルの下がったアイドルトーンとその高調波成分が現れている. 同図(C)ではアイドルトーンと高調波成分が抑圧されている. 同図より Δ 形負性抵抗を用いたカオス系列は多ビット $\Delta\Sigma$ ADC においてもアイドルトーンの抑圧が可能であることを示している.

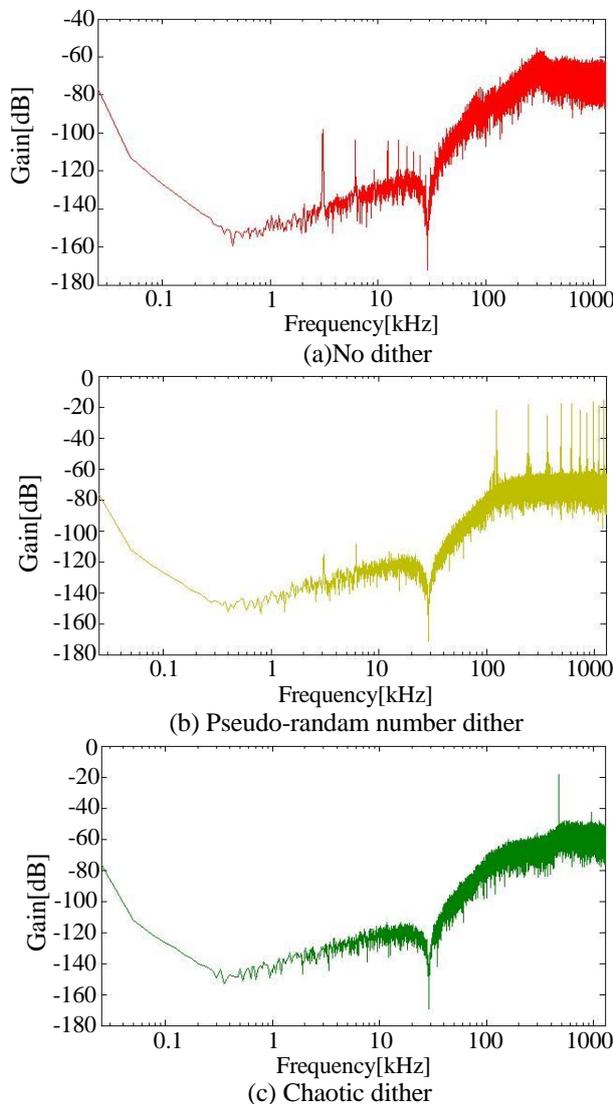


Fig.3 Output spectrum for 0.3[mV] DC input

次にアイドルトーンは微小な直流入力電圧によって発生するため, Fig.4 に直流入力電圧に対する全高調波歪を示す. 同図は, 直流入力電圧を 0.1[mV]~2.0[mV]

まで変化させた時のディザリングなしの場合, 疑似ランダム系列のディザリングを施した場合, Δ 形負性抵抗素子を用いたカオス系列のディザリングを施した場合の全高調波歪を比較したものである. 縦軸は全高調波歪, 横軸は直流入力電圧を示している. 同図より, ディザリングなしの場合は $-80.0\sim-69.3$ [dB], 疑似ランダム系列の場合は $-94.5\sim-84.5$ [dB], Δ 形負性抵抗素子を用いたカオス系列は $-97.5\sim-92.2$ [dB]を示している. 以上より, ディザリングなしの場合に対し各ディザ信号を印加することで, 全高調波歪が改善されることを示している. すなわち, Δ 形負性抵抗素子を用いたカオス系列は多ビット $\Delta\Sigma$ ADC においても全高調波歪を改善できることを示している.

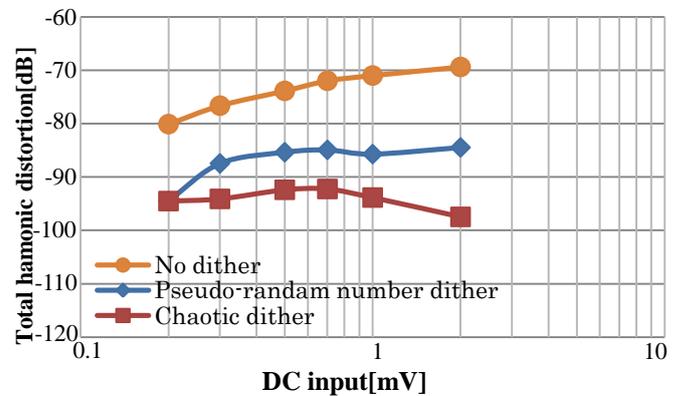


Fig.4 Comparison of THD for the level of the DC input of each dithering signal

3. まとめ

本論文では, Δ 形負性抵抗素子を用いたカオス発振回路のカオス系列を MATLAB/Simulink を用いて, 多ビット $\Delta\Sigma$ ADC のディザリング効果について検討を行った. その結果, Δ 形負性抵抗素子を用いたカオス系列は, 多ビット $\Delta\Sigma$ ADC においてもディザリング効果があることを明らかにした.

今後は, Δ 形負性抵抗素子を用いたカオス発振回路の $\Delta\Sigma$ ADC への実装について検討を行う予定である.

4. 参考文献

- [1]和保孝夫, 安田彰:「 $\Delta\Sigma$ 型アナログ/デジタル変換入門」, 丸善株式会社, 2007.
- [2] Richard Schreier: “On the Use of Chaos to Reduce Idle-Channel Tones in Delta-Sigma Modulators”, IEEE, Vol.41, No.8, pp539-547, 1994.
- [3] 和田生久真, 中里光志, 佐伯勝敏, 関根好文:「カオス信号を用いた $\Delta\Sigma$ A/D 変換器のディザリング効果に対する検討」, 信学ソ大, A-1-1, p.1, 2011.