

## カオス発振可能なパルス形ハードウェアニューロンモデルの低容量化

### A Study on Low Capacitor Implementation of Pulse-Type Hardware Chaotic Neuron Model

○佐々木芳樹<sup>1</sup>, 佐伯勝敏<sup>2</sup>, 関根好文<sup>2</sup>  
\*Yoshiki Sasaki<sup>1</sup>, Katsutoshi Saeki<sup>2</sup>, Yoshifumi Sekine<sup>2</sup>

#### Abstract:

In recent years, a number of studies of neural networks have been conducted with the purpose of applying engineering to the brain. Previously, we proposed a pulse-type hardware neuron model, which can make an integrated circuit with field effect transistors and capacitors. However, the proposed model needed capacitors of [pF] order.

In this paper, we propose the constitution of the low capacitor implementation model. As a result, it is shown that the proposed model is able to get the chaotic oscillation using 1fF capacitors.

#### 1. まえがき

脳型情報処理システム構築のため、生体ニューロンが持つ優れた情報処理能力の工学的応用を目指した研究が行なわれている[1]-[8]。一方、ニューロン単体に周期的な電気パルスを入力することでカオス応答が得られるという報告[9]があり、ニューロンの回路モデルにおいてカオス発振可能なモデルの構築が必要である。また、ANNを構築する場合、多数のニューロンモデルが必要となるため、1セルのレイアウト面積は十分小さいことが求められる。

先に我々は、集積回路化可能なパルス形カオスニューロンモデルを提案[1]したものの、1セルに必要な容量値が数pFオーダーであった。

本稿では、カオス発振可能なニューロンモデルの低容量化について検討を行ったので報告する。

#### 2. 本論

図1に今回提案するパルス形カオスニューロンモデルの回路構成を示す。同図は、生体における膜容量に相当するキャパシタ $C_M$ 、漏れ抵抗部 $M_R$ 、 $\Lambda$ 形負性抵抗素子 $\mathcal{Y}_\Lambda$ に相当する $M_{AN}$ と $M_{AP}$ 、動的バイアス部に相当する $C_G$ 、静的バイアス部 $M_D$ 、電荷引き抜き用 $M_C$ の6要素で構成している。本モデルは、Node:Aの電位を $\mathcal{Y}_\Lambda$ に対する動的なバイアス電圧としている。また、 $\mathcal{Y}_\Lambda$ の静的バイアス電圧は接地電位とし、 $V_{DD}$ は1.5[V]とした。同図において、初期状態で出力電圧 $V_{OUT}$ およびNode:Aの電位を0[V]と仮定したとき、 $\mathcal{Y}_\Lambda$ はピーク電流がほぼゼロであるため、 $C_M$ に電流は供給されず、 $V_{OUT}$ は大きく変化しない。一方で、Node:Aの初期電位を0[V]と仮定すると $M_D$ の両端電位は最大値をとる。初期状態において $V_{OUT}$ についても0[V]であると仮定しているため $M_C$ はOFF状態であり、 $M_D$ から流れ出る大半の電流は $C_G$ を通る。この時、Node:Aの電位は $C_G$ により時間的に上昇し、 $M_D$ が電流を流さなくなる電圧値である $V_{DD}$ までバイ

アスされる。

同時に、僅かに $V_{OUT}$ も上昇し $M_R$ により一定レベルに電圧が収束する。Node:Aの電位が上昇すると $V_{OUT}$ との間に電位差が生じ、 $\mathcal{Y}_\Lambda$ が動作可能な状態となる。ただし、 $V_B=0.6$ の時点では閾値が0.3V程度あるため、 $C_M$ に対する電流の供給はなされていない。さらに $\mathcal{Y}_\Lambda$ の閾値が下がり、 $V_{OUT}$ が閾値を超えることで $\mathcal{Y}_\Lambda$ から電流が供給される。 $\mathcal{Y}_\Lambda$ から供給される電流により、 $V_{OUT}$ は緩やかに上昇を始める。今回、 $C_G$ を低容量に設定したため $C_G$ の両端において遅延がおきることなく、Node:Aの電位は $V_{OUT}$ の変化分が加算され変化するため、 $V_{OUT}$ とNode:Aの電位差はほぼ一定に保たれる。 $V_{OUT}$ の上昇により $M_R$ が飽和すると $\mathcal{Y}_\Lambda$ から流れ出る電流が $M_R$ から流れ出る電流を上回り、余剰分が $C_M$ に電流が流れ込む。この時、 $M_C$ はONへと遷移し $V_{OUT}$ とNode:Aの電位差を引き下げ始める。 $C_M$ に電流が流れ込むと $V_{OUT}$ は更に上昇し、その上昇により $\mathcal{Y}_\Lambda$ から流れ出る電流が更に増加することから急進な立ち上がりのパルスとなる。更に $V_{OUT}$ が一定値まで上昇すると、 $M_C$ により $V_{OUT}$ とNode:Aの電位差は0に漸近し、 $\mathcal{Y}_\Lambda$ から供給される電流は小さくなる。そして $M_R$ から流れ出る電流量が $\mathcal{Y}_\Lambda$ から供給される電流を上回り、 $C_M$ から電流が流れ出し、 $V_{OUT}$ が減少する。 $V_{OUT}$ が減少すると $M_C$ の働きが弱くなり、再び $V_{OUT}$ とNode:Aの電位差は上昇し始める。この一連の動作より、生体ニューロンの電気パルスに近い発火波形を得ることが出来る。なお、 $V_{OUT}$ 上昇時においてNode:Aの電位は $V_{DD}$ を超えることから、電源への逆流を防ぐため、 $M_D$ はFETを用いたダイオード接続の構成とした。また、 $M_C$ のゲート電圧を $V_{OUT}$ とすることにより、本来 $V_{OUT}$ とほぼ一定の電位差に保たれるNode:Aの電位を強制的に引き下げることが可能となり、 $C_G$ が低容量である場合においても発火波形を出力することを可能とした。

図2に  $C_G$  に対する出力  $V_{OUT}$  の発振周波数特性のグラフを示す。図中、横軸に  $C_G$ 、縦軸に周波数  $f$  を示す。同図において、 $C_M$  の値は  $C_G$  の2倍となるよう設定し、その他の素子については固定値とした。同図より、図1の構成をとることで  $C_G$  が 1fF と低容量キャパシタを用いた場合においても  $V_{OUT}$  の発振周波数が得られることより、発火が可能であることを示している。

図3に、図1のモデルの  $V_{DD}$  を 1.15V に設定することで他励振発火ニューロンとし、 $I_{IN}$  に  $3.8 \mu A$  の電流を周期 12.6MHz で入力した場合のアトラクタを示す。同図のアトラクタから求めたリアプノフ指数は 0.45 と正の値を示す。このことは、今回提案したモデルはカオス発振可能であることを示している。

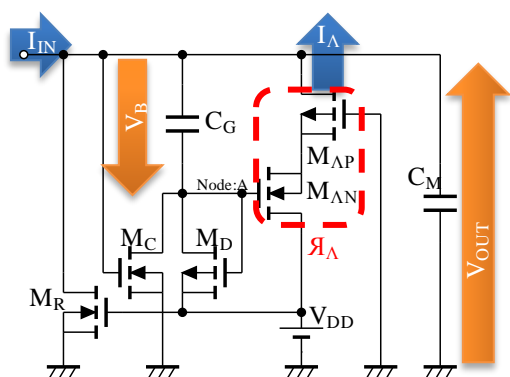


図1 パルス形カオスニューロンモデルの構成

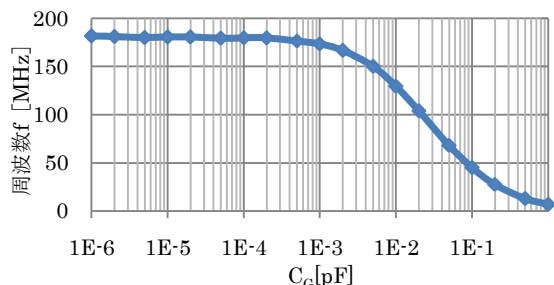


図2 容量に対する周波数特性

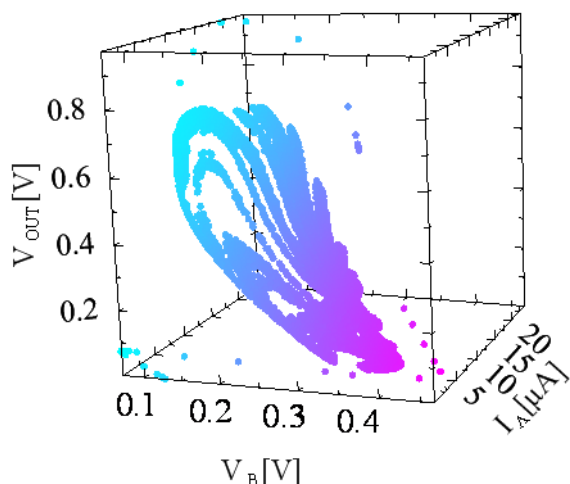


図3 外部電流入力時のアトラクタ

### 3. まとめ

今回、カオス発振可能なパルス形ハードウェアカオスニューロンモデルの出力上昇時にバイアスカパシタから電荷を強制的に引抜くことでバイアス電圧を引き下げ、 $\Lambda$  形負性抵抗素子からの出力電流を調節し、1fF の低容量において外部から刺激電流を入力することでカオス発振を引き起こすことが可能であることを明らかにした。

今後は、VDEC を通して今回提案したモデルのチップ化を行うと共に、学習機能を有するニューラルネットワークの構築を行う予定である。

### 謝辞

本研究は東京大学大規模集積システム設計教育研究センターを通し、シノプシス株式会社、及び日本ケイデンス株式会社の協力で行われたものである。

### 4. 参考文献

- [1] 関根 好文, 佐伯 勝敏, “カオス発生可能なパルス形ハードウェアニューロンモデルの CMOS 実装とその応用”, JNNS Vol.15, No.1, pp27-38, 2008.
- [2] H. Tanaka, T. Morie and K. Aihara, “A CMOS Spiking Neural Network Circuit with Symmetric/Asymmetric STDP Function”, IEICE Trans. Fundamentals, Vol. E92-A, No. 7, pp.1690-1698, 2009.
- [3] 安達 琢, 赤穂 伸雄, 浅井 哲也, 雨宮 好仁, “非対称の時間窓を持つメモリスタ STDP シナプスデバイス”信学総大, A-1-23, 2011.
- [4] 横田 猛昭, 堀尾 喜彦, 合原 一幸, “非同期パルスニューロンモデルの集積回路化”, 信学総大, vol.1, p.15. 2000.
- [5] 佐々木 寛弥, 森江 隆, 伊井 慎一郎, 岩田 穆, “パルスタイミングに基づくスパイクングホップフィールドネットワークによる高速連想メモリ”, 信学技報, NC2002-81, pp. 91-95, 2002.
- [6] 尾花 一郎, “神経細胞のカオス発火特性を再現する電子回路”, 電学論 C, Vol.116, No.12, pp.1378-1381, 1996.
- [7] 松崎 徹也, 中川 匡弘, “双極型ロジスティックカオスニューロンの特性と電子回路による実装”, 信学論 A, Vol.J85-A, No.5, pp.537-547, 2002.
- [8] 和崎 浩幸, 堀尾 喜彦, 中村 尚五, “アナログニューロ VLSI に適した On-Chip 学習則”, 信学論 A, Vol.J76-A, No.3, pp.348-356, 1993.
- [9] H. Hayashi and S. Ishizuka, M. Ohta and K. Hirakawa, “Chaos in Excitable Lipid Membranes” Phys. Lett. 88A (1982) 435.