

## STDP 用多値 SRAM によるシナプス結合荷重値に対する一検討

### A Study on Synaptic Weights by Multistable-Value SRAM for STDP

○眞下祐一<sup>1</sup>, 佐々木芳樹<sup>2</sup>, 佐伯勝敏<sup>3</sup>, 関根好文<sup>3</sup>

\*Yuichi Mashimo<sup>1</sup>, Yoshiki Sasaki<sup>2</sup>, Katsutoshi Saeki<sup>3</sup>, Yoshifumi Sekine<sup>3</sup>

Abstract: The latest research has the purpose of being applied to engineering about the function of biological brain. Especially the learning function of the brain is reported to involve the synaptic plasticity. For realizing the learning function in engineering, we previously proposed a multistable-value SRAM for STDP. But it is difficult to separate recognition target data from samples. Because the SRAM synchronized with oscillations of the neuron models.

In this paper, we study that an asynchronous multistable - value SRAM for STDP. As a result, we clarify about it is able to write and hold multilevel to synaptic weights.

#### 1. まえがき

近年, 生体の脳のはたらきを工学的に応用する研究が進められている. 中でも, 生体の脳の機能の 1 つである学習機能はニューロン間におけるシナプスの可塑性が関与していると言われており<sup>[1]</sup>, ニューロンの発火タイミングに依存してシナプスの伝達効率が変化する Spike Timing Dependent synaptic Plasticity(以下 STDP)によるシナプス可塑性が報告されている<sup>[2]</sup>. 先に我々は, STDP を有するシナプス結合荷重制御回路の容量出力を  $\Delta$ 形負性抵抗素子を用いた多値 SRAM<sup>[3]</sup>に保持を行う構成について提案した<sup>[4]</sup>. しかし, 前段・後段のニューロンの出力に同期して保持を行うため, サンプルと認識対象データの分離が困難となる.

今回, サンプルと認識対象データの分離を行うために, ニューロンの出力に同期せず動作する STDP 用多値 SRAM によるシナプス結合荷重値の書き込み・保持に対する検討を行ったので報告する.

#### 2. 本論

##### 2-1.シナプス結合荷重制御回路

Fig.1 に今回使用したシナプス結合荷重制御回路を示す. コンデンサ  $C_w$  に電荷の蓄積を行う興奮性と, 電荷の引き抜きを行う抑制性に分け,  $C_w$  の両端電圧をシナプス結合荷重値として出力する構成とした.

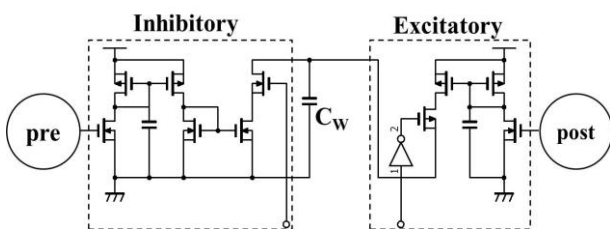


Fig.1 Synaptic weights control circuit

興奮性及び抑制性部分は, 細胞体モデル(pre, post)によって制御し, pre, post の発火タイミングによって  $C_w$  に蓄積される電荷量, 及び引き抜かれる電荷量が異なる. その結果, シナプス結合荷重値の時間変化は発火タイミングに依存して変化する.

Fig.2 にシナプス結合荷重制御回路をシミュレーションした結果を示す. 横軸に時間, 縦軸に電圧を示している. 今回, pre と post の発火信号の周期を等しく設定した. また, pre の初期発火タイミングを 3.0[ $\mu$ s]で一定とし, post の初期発火タイミングを変化させてシミュレーションを行った. 同図より, 細胞体モデルの発火タイミングに依存して, シナプス結合荷重値の時間に対する変化量が異なることを示している.

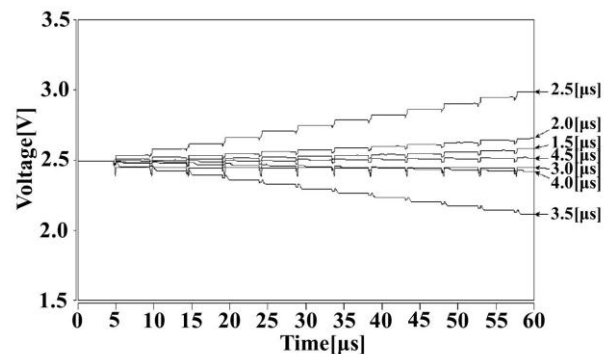


Fig.2 Time characteristic of synaptic weights

##### 2-2. $\Delta$ 形負性抵抗素子を用いた多値 SRAM

Fig.3 に  $\Delta$ 形負性抵抗素子を用いた多値 SRAM の回路図を示す.  $\Delta$ 形負性抵抗素子を用いた単位回路, バイアス部, 負荷電流源の並列接続で構成した. 複数個の単位回路からなるドライバ部は多安定回路を構成している. 印可電圧  $V_A$  を単位回路ごとに異なる値に設定することで, 多数の安定点を得ることができ, 多値で

電圧の保持を行うことが可能である。

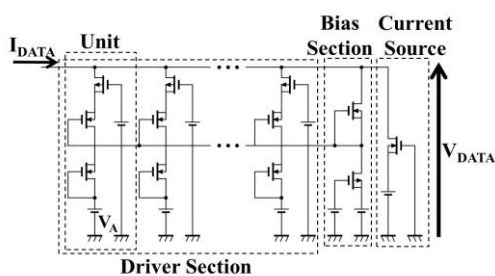


Fig.3 A circuit of multistable – value SRAM

Fig.4に多安定回路の静特性を示す。横軸に電圧  $V_{DATA}$ 、縦軸に電流  $I_{DATA}$  を示している。図中、 $I_{DATA}=0$  の交点は複数個存在し、正抵抗領域にある点  $Q_n$  は安定点、負性抵抗領域  $P_n$  にある点は不安定点となる。安定状態において、入力信号は不安定点をしきい値として、安定点に移行する。同図において、安定点が 6 個存在するため、信号を 6 値で保持することが可能である。

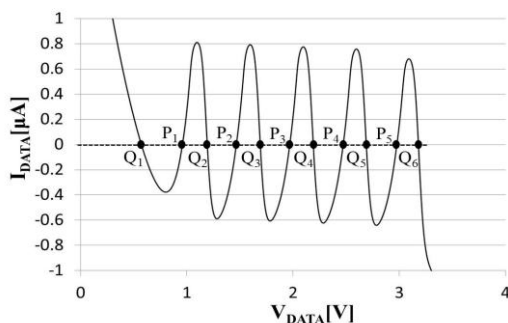


Fig.4 Static characteristic of driver section

### 2-3. STDP 用多値 SRAM

Fig.5に今回提案する STDP 用多値 SRAM の回路図を示す。同図はシナプス結合荷重値を出力するシナプス結合荷重制御回路と細胞体モデル、データ入力の制御を行うスイッチ、及びシナプス結合荷重値の保持を行う多値 SRAM で構成した。図中、スイッチの制御信号 WL には外部から入力するパルス波形、DL にはシナプ

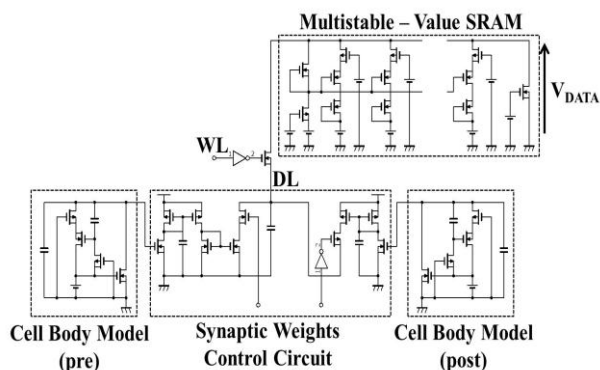


Fig.5 Multistable – value SRAM for STDP

ス結合荷重値を入力した。また、今回提案する STDP 用多値 SRAM は、スイッチを NMOS とインバータ構成することで、データの書き込み・保持を細胞体モデルの出力に関わらず行うことが可能である。

Fig.6に Fig.5 の STDP 用多値 SRAM のシミュレーション結果を示す。横軸は時間、縦軸は電圧を示している。同図において、WL が OFF のときに、多値 SRAM にシナプス結合荷重値を入力し、WL が ON となったときに安定点で保持を行う。同図より、シナプス結合荷重値を多値で書き込み・保持が可能であることを示している。

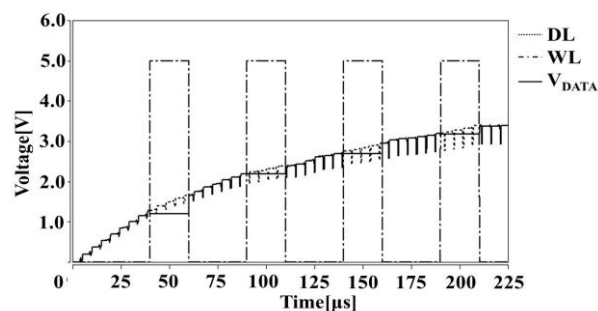


Fig.6 A simulation result of Fig.5

### 3. まとめ

今回、サンプルと認識対象データを分離するための、STDP 用多値 SRAM によるシナプス結合荷重値の保持について検討を行った。その結果、データ入力を制御するスイッチに NMOS とインバータを用いることで、細胞体モデルに同期せず動作する STDP 用多値 SRAM を構成し、シナプス結合荷重値を多値で書き込み・保持が可能であることを明らかにした。

今後は、VDEC を通して IC 化を行う予定である。

### 4. 参考文献

- [1] Martin SJ, Grimwood PD, Morris RG, Synaptic plasticity and memory: an evaluation of the hypothesis. Annu Rev Neurosci 23:649-711, 2000.
- [2]G. Bi and M. Poo, “Synaptic modifications in cultured hippocampal neurons, Dependent on spike timing synaptic strength, and postsynaptic Cell Type”, J.Neurosci, 18, pp.10464-10472, 1998.
- [3]佐々木芳樹, 佐伯勝敏, 関根好文:「 $\Lambda$ 型負性抵抗素子を用いた多値 SRAM のバイアス部に対する検討」, 信学総大, A-1-21, p.21, 2010.
- [4]真下祐一, 佐々木芳樹, 佐伯勝敏, 関根好文:「パルスタイミングに依存した可塑シナプス用多値 SRAM に対する検討」, 信学ソ大, A-1-3, p.3, 2011.