

## 負電圧印加した陽極酸化膜の電気的特性

Electrical properties of anodic SiO<sub>2</sub> film with applying negative voltage○張義淳<sup>1</sup>, 山崎雄大<sup>1</sup>, 柿沼真一<sup>2</sup>, 高橋芳浩<sup>3</sup>\* EuiSoon Chang<sup>1</sup>, Yudai Yamazaki<sup>1</sup>, Shinichi Kakinuma<sup>2</sup>, Yoshihiro Takahashi<sup>3</sup>

Abstract: We have evaluated electrical properties of anodic SiO<sub>2</sub> film in which negative voltage was applied under anodic oxidation process. Reduction of leakage current and of dielectric constant was observed by applying negative voltage. The dielectric decreased with the time of applying negative voltage.

## 1. はじめに

LSIにおけるトランジスタのゲート絶縁膜の製膜には、一般的に熱酸化法が用いられている。熱酸化膜は絶縁特性、界面特性共に良好であるが、高温(約 1000℃)プロセスのため、その適用が限定される。そこで我々は、室温で製膜が可能な陽極酸化法に注目して研究を行ってきた。室温で良好な酸化膜が形成できると、MEMS(Micro Electro Mechanical Systems)上の酸化膜成膜など、高温プロセスが困難となるプロセスでも適用が可能となる。一般的に陽極酸化膜は試料に直流電圧(定電圧)を印加することにより製膜されるが、これまでの研究において、交番電圧を印加(正/負の電圧を交互に印加)して作製した膜において良好な電気的特性を有することを確認している。ただし、交番電圧印加による特性改善の物理的メカニズムに関しては解明されていない。そこで本研究では、陽極酸化における負電圧印加が電気的特性に及ぼす影響について検討を行った。

## 2. 実験方法

図 1 に本実験で使用した陽極酸化装置を示す。陽極酸化は純水中で対向させた Pt 電極と Si 基板間に電圧を印加する事により行った。また、正電圧印加時のプロセス電流の積分値を総電荷量と定義し、設定した総電荷量になった時点でプロセスを終了した。

本研究では、p形シリコン基板(面方位<100>, 抵抗率 1~10 Ωcm)を RCA 洗浄後、以下の条件で製膜を行った。

- ① 直流電圧印加(+700V), 総電荷量 500mC
- ② 交番電圧印加(±700V, 60s 毎に電圧変化), 総電荷量 250mC
- ③ 直流電圧印加(+700V), 総電荷量 500mC で製膜後, -700V 印加(印加時間: 1 or 3 時間)

陽極酸化膜製膜後、エリプソメータにより酸化膜厚を測定した。その後、Al 電極(直径 300μm)を製膜することにより MOS 構造を作製し、リーク電流特性、容量-電圧特性を評価した。

## 3. 結果・考察

表 1 に各プロセス条件における酸化膜厚および屈折率を示す。結果より、直流電圧印加と交番電圧印加による酸化膜厚はほぼ等しい事がわかる。これは交番電圧を用いると、単位通過電荷量あたりの酸化膜成長速度が約 2 倍になることを示す。また、直流電圧にて製膜後に負電圧を印加しても、印加時間に関わらず膜厚は変化しないことが分かった。なお、屈折率はプロセス条件でほぼ依存しない事が分かった。

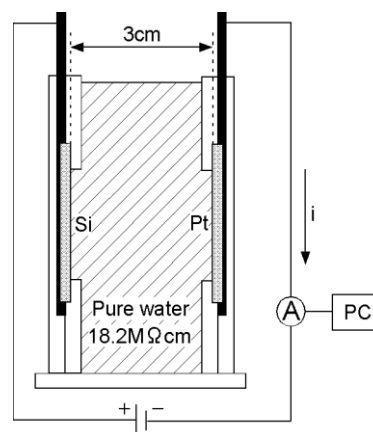


Figure 1. Anode oxidation system

Table 1. Film thickness and refractive index

		Thickness	Refractive index
①DC(700V)		275 Å	1.48
②AC(±700V)		270 Å	1.46
③-700V after DC	1h	275 Å	1.48
	3h	275 Å	1.48

図 2 にリーク電流特性を示す。直流電圧に比べ、交番電圧を用いることによりリーク電流が低減し、絶縁耐圧が向上することがわかる。一方、直流電圧にて製膜後に負電圧を印加すると、低電界領域におけるリーク電流が 1~2 桁程度減少することがわかった。また、負電圧印加時間に伴い、絶縁耐圧が向上する傾向があることが確認できた。

図 3 に各プロセス条件で作製した MOS 構造の高周波(1MHz)C-V カーブおよび電圧印加方向によるヒステリシス特性を表す。なお、図中には最大容量値および酸化膜厚から評価された比誘電率も併せて示す。直流電圧により作製された試料では、比誘電率が 8.5 であった(熱酸化膜では 3.9 程度)。製膜後の低温熱処理(<400°C)により、比誘電率は大きく低下することが確認されており、この大きな比誘電率はプロセス中に膜中に導入された水分によるものと考えられる。また、交番電圧により作製された試料では、直流に比べ誘電率は低下するものの、熱酸化膜に比べて大きな値となった。一方、直流にて製膜後に負電圧を印加した場合は、印加時間に伴い誘電率は低下し、3 時間印加した試料では熱酸化膜程度となることがわかった。負電圧印加により既に、製膜された酸化膜から水分が除去されたことが推測されるが、今後、組成比評価など併せて原因究明を行う予定である。なお、電圧印加方向によるヒステリシス(膜中の電荷トラップ密度を反映)に関しては大きなプロセス依存性は確認できなかった。

図 4 に直流で作製した試料、およびその後 3 時間負電圧を印加した試料の C-V 特性(周波数依存性)を示す。直流の試料では、蓄積領域において大きな周波数依存性が確認される。これは、膜中水分(イオン)の存在が原因であると考えられる。ただし、負電圧印加により周波数依存性が消失することがわかり、このことから、負電圧印加による水分除去が予想される。

#### 4. まとめ

負電圧印加が陽極酸化膜の電気的特性に及ぼす影響について評価した。その結果、負電圧印加によりリーク電流が低減し、誘電率が熱酸化膜と同等に変化することが確認された。また、蓄積状態における容量値の周波数依存性の消去も確認された。以上の結果は、陽極酸化膜中に混入した水分が負電圧印加により低減されたことを示唆する。今後、詳細な評価を続け、陽極酸化の最適プロセスについて検討を行う予定である。

#### 5. 参考文献

- [1] はじめての半導体プロセス, 前田和夫, 工業調査会, 2001 年  
 [2] 宮崎俊助 平成 12 年度 日本大学院理工学研究科 電子工学専攻 修士論文

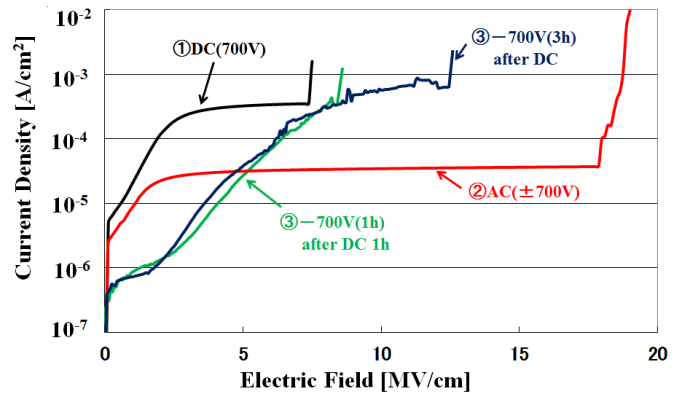


Figure 2. Leakage current

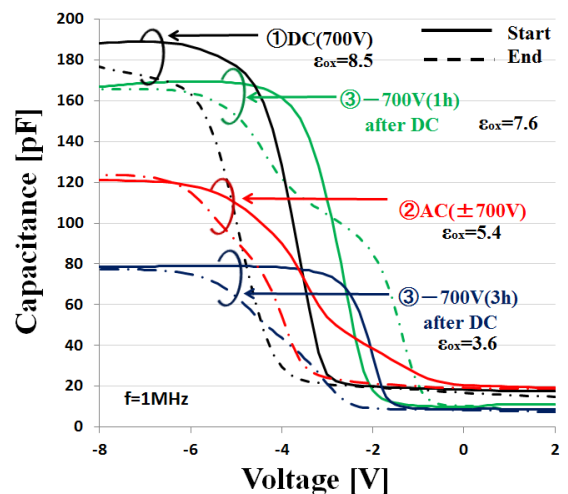


Figure 3. C-V hysteresis characteristics

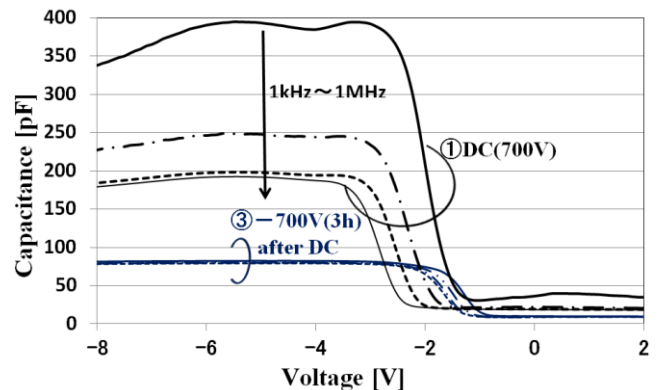


Figure 4. Frequency dependence on C-V characteristics