

## M-15

## パルス形ハードウェアニューロンモデルのレイアウト面積削減に対する一検討

## A Study on Cutback of Layout Area of Pulse-Type Hardware Neuron Model

○小久保智彬<sup>1</sup>, 佐伯勝敏<sup>2</sup>, 関根好文<sup>2</sup>\*Tomoaki Kokubo<sup>1</sup>, Katsutoshi Saeki<sup>2</sup>, Yoshifumi Sekine<sup>2</sup>

Abstract: An artificial neural network that performs similarly to the human brain would be required to construct a brain-like information processing system, however, artificial neural network using analog circuit is necessary to use large area for capacitor. Previously, we proposed a pulse-type hardware neuron model (P-HNM) that is the analog circuit models of the synapse and the cell body of a living organism.

In this paper, we focus on capacitors in a P-HNM. Moreover, we study the cutback of layout area of P-HNM. As a result, we construct without capacitors in P-HNM, because we use wiring capacitor and MOS capacitor.

## 1. まえがき

近年, 生体が有する学習機能を工学的に応用する研究が進められている<sup>[1, 2]</sup>. 工学的にニューラルネットワークモデルを構築する場合, 多数のニューロンモデルを必要とし, 1セルのレイアウト面積を十分小さくする必要がある. しかし, レイアウト中, キャパシタの占有面積は一般に大きい<sup>[3]</sup>.

今回, パルス形ハードウェアニューロンモデル中, 細胞体モデルの膜容量, バイアス電圧を動的に変化させる容量に着目し, キャパシタを配線容量に模擬するレイアウト, MOS容量を用いたレイアウト設計に対する検討を行った.

## 2. 本論

Fig. 1に細胞体モデルを示す.  $\Delta$ 形負性抵抗素子を構成するMOSFETである $M_{AN}$ と $M_{AP}$ , 漏れ抵抗に相当するMOSFETである $M_R$ ,  $\Delta$ 形負性抵抗素子に対し静的なバイアス電圧を供給するMOSFETである $M_D$ ,  $\Delta$ 形負性抵抗素子に対するバイアス電圧を動的に変化させるキャパシタである $C_G$ , バイアス電圧の変化を補助する役割を持つMOSFETである $M_C$ , 生体における膜容量に相当するキャパシタである $C_M$ の6要素で構成している.

Fig. 2に細胞体モデルのレイアウトを示す. 今回, ROHM社の0.18 $\mu\text{m}$ プロセスルールを用いた. 各素子のW/Lを $M_{AP} = M_{AN} = 2.0[\mu\text{m}] / 0.2[\mu\text{m}]$ ,  $M_D = 0.5[\mu\text{m}] / 3.5[\mu\text{m}]$ ,  $M_C = 0.5[\mu\text{m}] / 5.0[\mu\text{m}]$ ,  $M_R = 0.6[\mu\text{m}] / 5.0[\mu\text{m}]$ とし,  $C_M = 32[\text{fF}]$ ,  $C_G = 16[\text{fF}]$ として設計を行った. 全体のレイアウト面積を求めた結果215.9584 $[\text{pm}^2]$ となり, そのうち容量の面積は75.456 $[\text{pm}^2]$ となり全体の約3割を占めていることを示している.

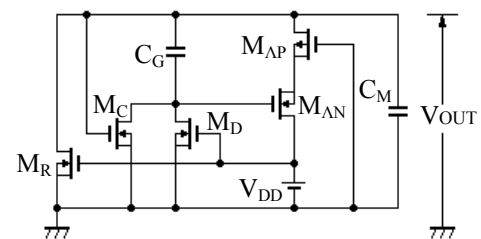


Fig. 1 Cell body model using MIM capacitors

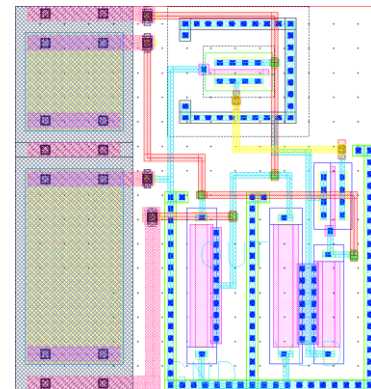


Fig. 2 Layout of a cell body model

Fig. 3にMOS容量を用いた細胞体モデルを示す. Fig. 1に示した $C_G$  (MIM容量)をMOS容量とし, ゲート端子は出力端子, ドレイン, ソース, バルク端子はそれぞれ $M_D$ のドレイン端子に結線することでMOS容量となることを示している.

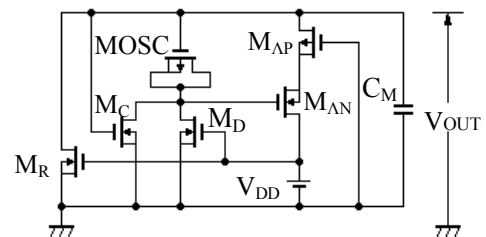


Fig. 3 Cell body model using MOS capacitor

Fig. 4にFig. 1のMIM容量を16[fF]としたとき, Fig. 3のMOS容量のW/Lを4.2[ $\mu\text{m}$ ] / 0.4[ $\mu\text{m}$ ]としたときのそれぞれのシミュレーション結果を示す. 同図より周期と振幅がほぼ等しいため, MOS容量が16[fF]に相当する容量であることを示している.

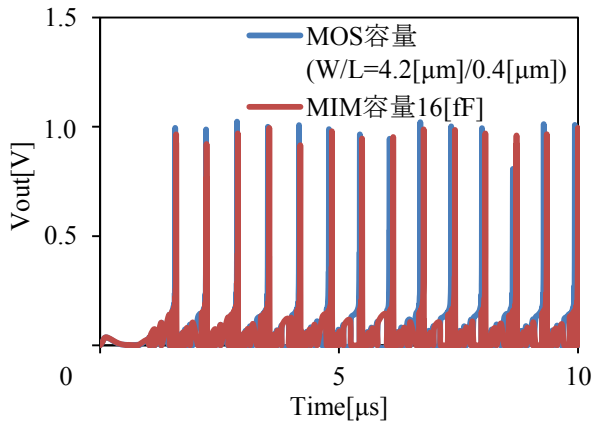


Fig. 4 Simulation results of a cell body model using MOS capacitor

Fig. 5にMOS容量を用いた細胞体モデルのレイアウトを示す. 同図より, MIM容量16[fF]の面積は29.568[ $\text{pm}^2$ ], MOS容量の面積は18.3024[ $\text{pm}^2$ ]となり, MOS容量を用いた場合のほうが占有面積を削減できることを示している.

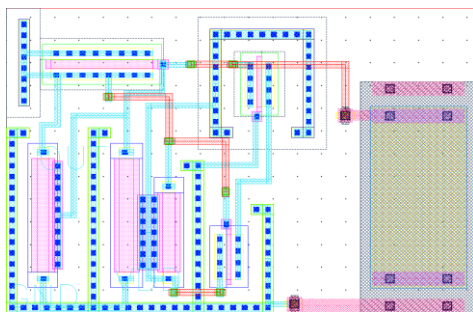


Fig. 5 Layout of a cell body model using MOS capacitor

Fig. 6に $C_M$ を変化させた場合の発振周波数特性を示す. 同図は, 横軸に $C_M$ , 縦軸に発振周波数を示しており,  $C_M$ が1[fF]の低容量でも細胞体モデルが動作することを示している.

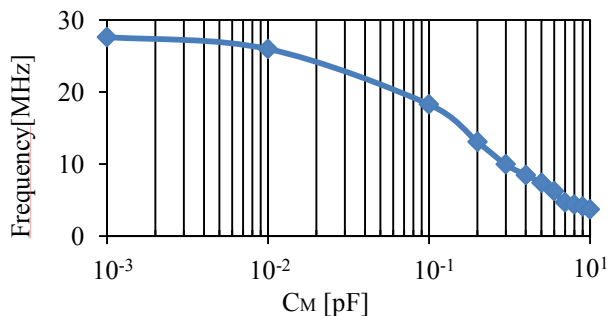


Fig. 6 Characteristic of frequency vs.  $C_M$

Fig. 7にMOSのみで構成した細胞体モデルのレイアウトを示す. 同図から全体のレイアウト面積を求めた結果, 160.304[ $\text{pm}^2$ ]となりFig. 2のレイアウトから55.6544[ $\text{pm}^2$ ]面積を削減できることを示している.

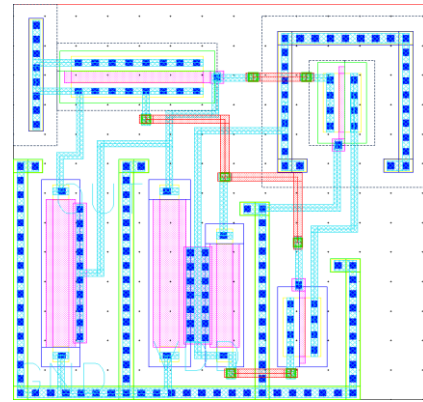


Fig. 7 Layout of a cell body model using MOS capacitor

### 3. まとめ

今回, 配線容量とMOS容量を用いたレイアウト設計に対する検討を行った. その結果,  $\Delta$ 形負性抵抗素子に対するバイアス電圧を動的に変化させるキャパシタにMOS容量を用い, 生体における膜容量に相当するキャパシタを配線容量に模擬させることにより全体のレイアウト面積を55.6544[ $\text{pm}^2$ ]削減できることを明らかにした.

今後は設計した細胞体モデルをIC化し, 実測により評価を行う予定である.

### 4. 謝辞

本研究は東京大学大規模集積システム設計教育研究センターを通し, ローム株式会社, 日本ケイデンス株式会社及びシノプシス株式会社の協力で行われたものである.

### 5. 参考文献

- [1] 関根好文, 佐伯勝敏:「カオス発生可能なパルス形ハードウェアニューロンモデルのCMOS実装とその応用」, 日本神経回路学会, Vol.15, No.1, pp.27-38, 2008.
- [2] 森江隆, 石川聖二:「知的画像認識技術と脳型LSI実装」, 電子情報通信学会誌, Vol.94, No.6, pp.459-463, 2011.
- [3] 小久保智彬, 建部達弥, 佐伯勝敏, 関根好文:「パルス形ハードウェアニューロンモデルのレイアウト設計に対する一検討」, 電気学会C部門大会, No.PS2-4, p.1781, 2012.