

LPCVD-SiN 膜中電荷トラップ密度の反応温度依存性

Dependence of reaction temperature on charge trap density in LPCVD-SiN film

○長谷川 洋介¹, 陳 士琪², 吳 研³, 高橋 芳浩³

*Yosuke Hasegawa¹, Chin Siki², Yan Wu³, Yoshihiro Takahasi³

Abstract: Hole trap densities in SiN film fabricated by LPCVD have been investigated. These densities were changed by the reaction temperature due to changing the composition ratio of N to Si in the film.

1. 研究背景

SiO₂膜に比べて高密度、高誘電率という特性を有するシリコン窒化膜は、高誘電率ゲート絶縁膜、パッシベーション膜、各種材料のパターニング時の保護膜などとして使用されており、現在の Si 集積回路技術において欠かすことのできない材料のひとつである。また、シリコン窒化膜は膜中に高密度の電荷トラップが存在することが知られており、これを利用した MNOS 型不揮発性メモリが開発されている。現在、不揮発性メモリとしては主にフローティングゲート型 FET を用いたフラッシュメモリが使われている。しかし、フローティングゲートへの電荷注入・放出時に高電圧が必要となり、この電氣的ストレスによるデータの書き換え可能の制限や電荷保持特性の劣化が問題になっている。そこで現在、絶縁膜であるシリコン窒化膜に電荷を蓄積させる MNOS 型不揮発性メモリが再注目されている。フローティングゲートは導電性であるため、電氣的ストレスによりトンネル酸化膜の一部にリークパスが発生した場合、フローティングゲート内の電荷のほとんどがこのパスを介して放出されることによりメモリ状態が消失してしまう。一方、シリコン窒化膜は膜中の電荷トラップに電荷を蓄積するため、トンネル酸化膜の一部にリークパスが発生してもパス近傍の電荷のみが放出されるのでメモリ状態が維持できる。

これまで我々は、主に絶縁性や界面特性に着目してシリコン窒化膜の評価を行ってきた。本研究ではメモリデバイス応用を考慮し、LPCVD 法により作製したシリコン窒化膜の膜中電荷トラップ密度のプロセス条件依存性について検討を行った。また、電荷トラップ密度は組成により変化することが報告されており、今回は反応温度依存性について評価を行った。

2. 実験方法

面方位<100>,抵抗率 1~10 [Ωcm]の p 形 Si 基板に RCA 洗浄を施し、フィールド酸化膜として膜厚 300 [nm]の SiO₂膜を wet 酸化法により成膜した。フォトリソグラフィ法により直径 300 [μm]の SiO₂膜を除去後、LPCVD 法により SiN 膜を成膜した。成膜条件は、流量比(R= NH₃/SiH₂Cl₂)を 50, 反応圧力 360 [Pa]とし、反応温度を 700~800 [°C]に変化させた。なお、各条件において 10 分の成膜を行い成長速度を確認した後、どの条件でも 140[Å]程度になるように成膜時間を設定した。その後、真空蒸着法により Al 電極を蒸着することにより、MIS 構造を作製し電氣的特性を評価した。また、XPS による組成比分析を行った。図 1 に素子構造を示す。

膜中電荷トラップ密度は、MIS 構造に対するゲート電圧印加によるフラットバンド電圧 V_{fb} の変化より評価した。図 2 に、トラップ密度測定時のゲート印加電圧のタイムチャートを示す。電圧未印加の試料に対し、0 [V]から負方向に電圧を挿引し、C-V カーブを測定した。この C-V カーブフラットバンド容量 C_{fb} および、初期のフラットバンド電圧 $V_{fb\ pre}$ を評価した。

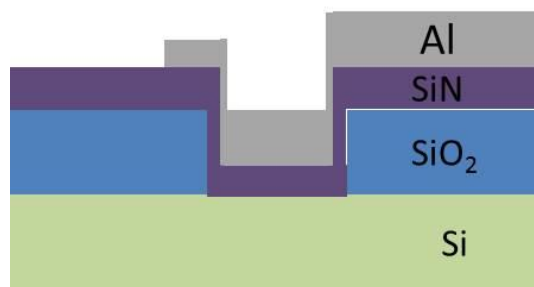


Figure 1. Cross Section of MIS structure

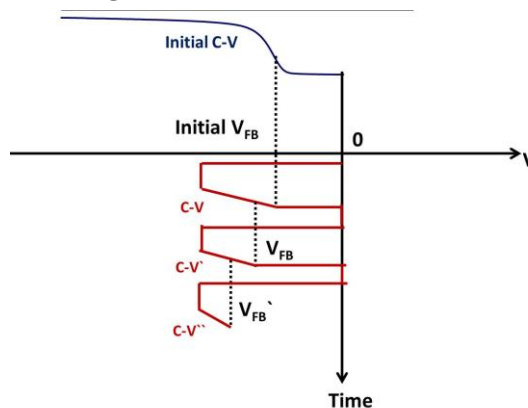


Figure 2. Measurement method(-3[MV/cm])

次に、トラップに正孔を捕獲させるために、負のゲート電圧を一定時間印加した後、印加電圧を、容量が C_{fb} となるまで正方向に挿引し、正孔捕獲後の V_{fb} を測定した。このときの、 V_{fb} 変化量を ΔV_{fb} ($= V_{fb} - V_{fb\ pre}$) とすると、電圧印加による正孔捕獲密度 n_t は次式で示される、

$$n_t = -C_i \Delta V_{fb} / q \text{ [cm}^{-2}\text{]} \quad (1)$$

ここで、 C_i は単位面積当たりの絶縁膜容量 [F/cm^2]である。この測定を繰り返すことにより、負電圧印加時間に対する正孔捕獲密度を評価した。なお本実験では、絶縁膜電界が $-3[MV/cm]$ となるような電圧を印加した。また、電圧印加時の絶縁膜電流密度 J_g が一定であると仮定すると、電圧印加時間 t [s]においてトラップを通過する総電荷フルエンス F は

$$F = J_g t / q \text{ [cm}^{-2}\text{]} \quad (2)$$

となる。ここで、正孔トラップ密度を N_t [cm^{-2}]、トラップの捕獲断面積を σ_t [cm^2]とすると、

$$n_t = N_t (1 - \exp(-\sigma_t F)) \quad (3)$$

で表すことができる。そこで、測定結果と式(3)との比較により、正孔トラップ密度および捕獲断面積の評価を行った。

3. 結果・考察

図3に測定結果（総電荷フルエンスに対する正孔捕獲密度）を示す。式(3)より、正孔捕獲密度の飽和値が正孔トラップ密度を示すこととなる。結果より、正孔トラップ密度は、成膜温度 $700 [^{\circ}C]$ において $2.4 \times 10^{12} [cm^{-2}]$ 、 $750 [^{\circ}C]$ において $1.7 \times 10^{12} [cm^{-2}]$ 、 $800 [^{\circ}C]$ において $2.0 \times 10^{12} [cm^{-2}]$ であることがわかり、今回の実験の範囲では、成膜温度 $700 [^{\circ}C]$ の試料のトラップ密度が最大であることがわかった。

一方、式(3)より、捕獲断面積 σ_t は、 n_t が飽和値 (N_t) の 63% ($= 1 - \exp(-1)$) となる F の逆数により評価できる。ただし、どの試料においても、本実験における最小ストレス ($F = 3 \times 10^{14} cm^{-2}$) において 63% を超えていることがわかった。これは、全試料における捕獲断面積が $3 \times 10^{15} cm^2$ 以上であることを意味する。

図4にXPSにより分析した窒化膜中の組成比(N/Si)の温度依存性を示す。結果より成膜温度に拘わらず N/Si は 1 以下であることがわかった。シリコン窒化膜の化学量論組成比は $N/Si=1.33$ であり、得られた窒化膜は Si-rich であることがわかる。なお、本原料ガスを用いた CVD プロセスにより得られる膜は、Si 微粒子の含有により Si-rich な組成となりやすいことが報告されている^[1]。これまでに、シリコン窒化膜中の電荷トラップの起源は Si ダングリングボンドであり、最近接のバックボンドが N である $N_3=Si$ は正孔トラップとして振る舞うとの報告がある^[1]。図4より、N/Si 組成比とトラップ密度とに相関があることが明らかとなり、上記の報告を裏付ける結果となった。今後、各トラップ密度の制御を目的に、他のプロセス条件依存性についても検討を行う予定である。

4. まとめ

LPCVD 法により成膜した SiN 膜の正孔トラップについて評価を行った。その結果、正孔トラップ密度は成膜温度により変化することがわかった。また、正孔トラップ密度と膜の N/Si 組成比には相関があることを確認した。これは、SiN 膜中の正孔トラップの起源が $N_3=Si$ であるとする報告を裏付けるものである。

参考文献

[1] 神垣 良昭：「MNOS 型不揮発性メモリとその実用に関する研究」, 1991 年

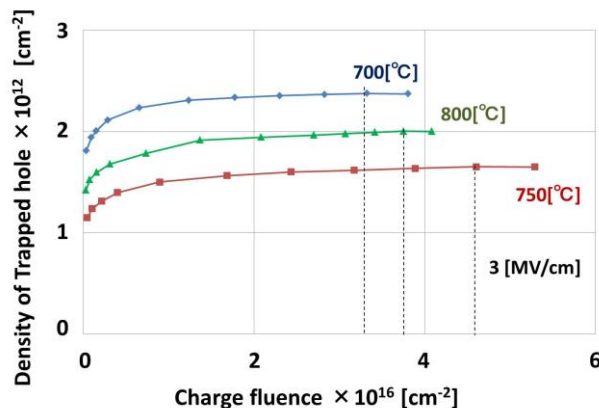


Figure 3. Density of Trapped hole as a function of charge fluence

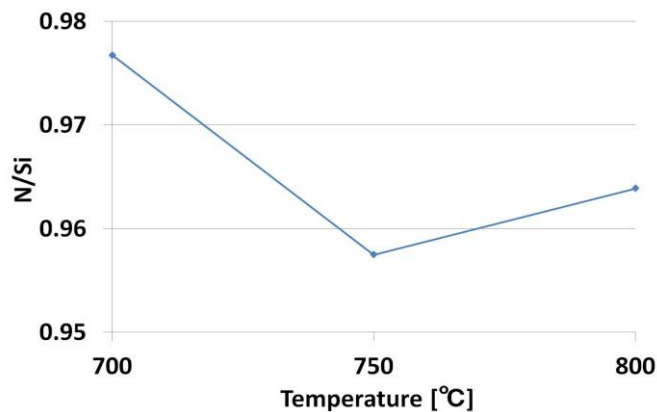


Figure 4. Composition ratio of N to Si in SiN film.