

大規模 ANN のための細胞体モデルの面積削減に対する一検討 A Study on Reduced Area of a Cell Body Model for an Artificial Neural Network

○奥山敦司¹, 佐伯勝敏², 関根好文³*Atsushi Okuyama¹, Katsutoshi Saeki², Yoshifumi Sekine³

Abstract: A number of recent studies on neural networks have been conducted with the purpose of applying engineering to the brain function. One approach which focuses on the dynamics of the living organism, various Artificial Neural Networks (ANNs) has been proposed. However, the neural network of a living body is very large in scale. Therefore, when we analyze the dynamics using the hardware neural network model, the number of devices and the circuit size should be smaller.

In this paper, we aim to reduce the area of a cell body model, and look into the cell body model made up of only NMOS. As a result, it is clearly shown that the packaging density of the proposed model can reduce the size of a traditional model by more than half.

1. まえがき

生体の情報処理機構をモデル化し工学的に応用することは、生体の優れた能力を実現するだけでなく、生体の情報処理を解明することが可能である。その一つの方法として、生体のダイナミクスに着目した様々な観点からの解析が行われている^{[1][2]}。大規模なニューロダイナミクスを、ハードウェアモデルで解析を行う場合、素子数や回路規模は小さいことが望ましい。しかし、CMOSプロセスで集積化を行う場合、コンデンサやPチャンネルMOSFET(以下、PMOS)の実装規模は大きく、大規模ANN(Artificial Neural Network)を構築することは困難である。そのため、NチャンネルMOSFET(以下、NMOS)のみで回路を構築することが望ましい。生体内に存在する細胞体の特徴を有したモデルを構築する上で、 Λ 型負性抵抗素子を用いた細胞体モデルは簡単な回路で構成できる^[3]。しかし、コンデンサやPMOSを含み、大規模ANNを構築する場合回路規模が大きくなる。

本稿では、まず、NMOS のみの負性抵抗回路を提案し、それを用いて細胞体モデルを構築する。次に、一例として生理学で報告される不応期特性について検討する。最後に、ANN を構築するために細胞体モデルの実装面積の削減に対する検討を行ったので報告する。

2. 本論

Fig. 1 に NMOS で構築した負性抵抗回路を示す。同図は負性抵抗を構成する素子 M_N 、負性抵抗領域を発生させる M_D 、正抵抗領域を発生させる M_C 、動的バイアス部 C_g 、膜容量に相当する C_M で構成している。また、 C_g および C_M は寄生容量である。

Fig. 2 に負性抵抗回路の負性抵抗特性を示す。図中、

M_N の G-S 間電圧を V_{GS} 、D-S 間電圧を V_{DS} 、D-S 間電流を I_{DS} としている。同図より、 M_N の V_{DS} が減少することに関わらず I_{DS} が増加することを示している。以上のことから、Fig. 1 の回路は負性電流を生成可能なモデルであることを示している。

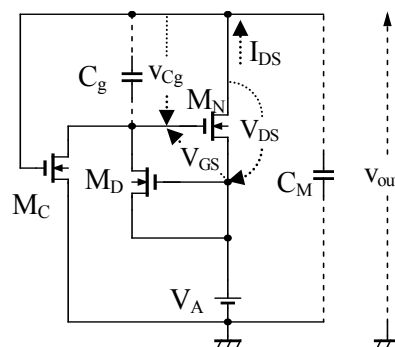


Fig. 1 Negative resistance circuit

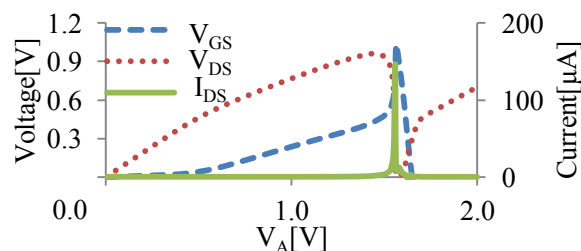


Fig. 2 Negative resistance characteristics

Fig. 3 に負性抵抗回路を用いて構築した細胞体モデルを示す。同図は、Fig. 1 の回路に M_R を付加することで、 V_A により自励振発振可能である。また、 V_A を自励振発振しない閾値より小さくし、外部刺激 i_{in} を与えることで他励振発振可能なモデルである。ここで、各 MOSFET のバルクは全てアースに接続している。

Fig. 4 に細胞体モデルの発振波形と内部電位電流の

一例を示す. 同図において, V_A を静止時から加えた場合に, M_D を介して C_g に向かって充電されることで v_{Cg} は徐々に増加する. v_{Cg} の上昇により M_D から C_M に向かって電流が流れることで v_{out} が増加する. ここで, M_N のゲート端子には $v_{Cg}+v_{out}$ の電圧が印加される. その後, M_N の閾値電圧を超えることで, C_M に大きな電流が流れ込み, v_{out} は急激に増加する. v_{out} の急激な増加により, M_N は深い線形領域に遷移, および M_C が駆動し C_g から急激に電荷を引き抜くことで, C_M への充電はされなくなる. その後, M_R によりコンデンサの電荷を引き抜き, 初期状態に戻ることで連続的な発振が可能となる. ここで, C_g の容量値が大きい場合には時定数が大きくなる. そのため, M_N が大きな負性電流を流す前に M_C が駆動することで v_{Cg} が低下し, 負性電流値は微量になる. よって, C_g の容量値が小さいと大きな負性電流が発生するため寄生容量で発振可能である.

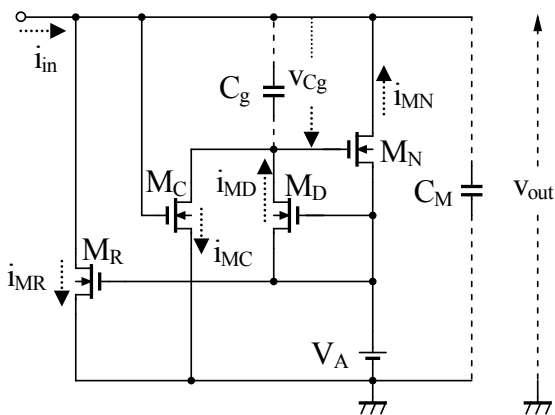


Fig. 3 Cell body model

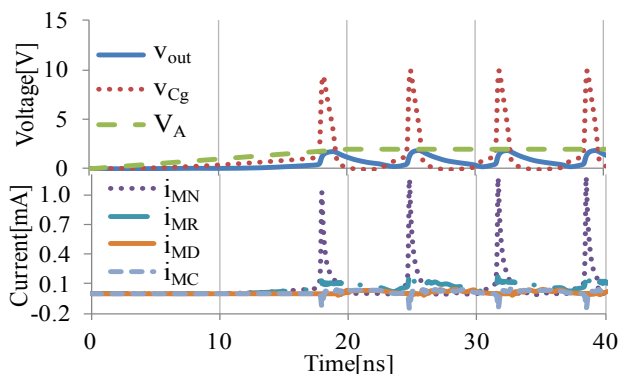


Fig. 4 Output waveforms of a cell body model

Fig. 5 に細胞体モデルの不応期特性を示す. 図中, 横軸 Δt は, 他励振発振時に 1 回目の刺激を与え, 2 回目の刺激が加わるまでの時間差である. 縦軸は 1 回目の刺激に対する v_{out} のピーク値を v_{out1} , 2 回目の刺激が入力された時点からの v_{out} のピーク値までの電圧を v_{out2} とした場合の v_{out2}/v_{out1} を示している. 同図は, 2 回目の

刺激の入力時間によって応答しない時間があることを示している. 以上のことから, 今回構築を行った細胞体モデルは不応期特性を有することを示している.

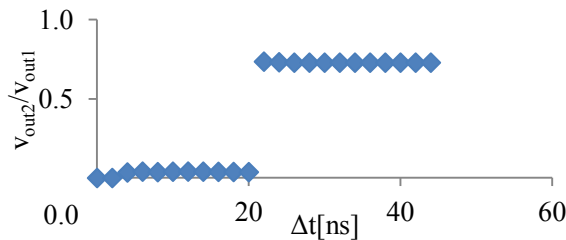


Fig. 5 Refractory period characteristic

Fig. 6 に細胞体モデルのレイアウトを示す. 今回, ROHM 社の $0.18\mu\text{m}$ CMOS プロセスルールを用いて設計を行った. 同図は, Fig. 3 のレイアウトで, 面積は約 $104 [\mu\text{m}^2]$ であることを示している. 以上より, NMOS のみで細胞体モデルを構築することで, 実装面積を従来モデルの半分に削減可能であることを示している.

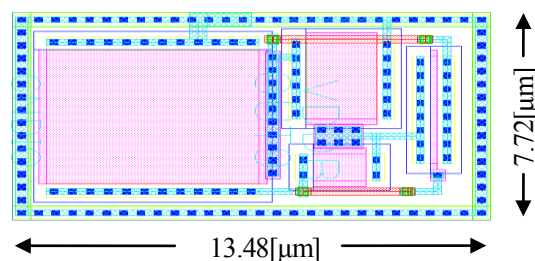


Fig. 6 Layout of a cell body model

3. まとめ

今回, ANN を構築するために細胞体モデルの実装面積の削減に対する検討を行った. その結果, NMOS のみで細胞体モデルを構築することで, 実装面積を従来モデルの半分に削減可能であることを明らかにした.

今後は, 今回検討を行った細胞体モデルを用いて, 海馬に着目したニューラルネットワークを構築し, ニューロダイナミクスの解析を行う予定である.

4. 参考文献

[1] 伊藤真, 黒岩丈介, 三宅章吾: 「海馬を用いた記憶システムの神経回路網モデル」, 信学論D-II, Vol.J-82-D-II, No.2, pp.276-286, 1999.
 [2] 田中敏雄, 西田健次, 稲吉宏明[他]: 「海馬の3次元神経回路による連想記憶モデル」, 電子情報通信学会技術研究報告, Vol. 99, No. 58, pp. 33-40, 1999.
 [3] 関根好文, 佐伯勝敏: 「カオス発生可能なパルス形ハードウェアニューロンモデルのCMOS 実装とその応用」, JNNS, Vol.15, No.1, pp.27-38, 2008.