

電子回路モデルを用いた非対称型 STDP 特性に関する検討

A Study on Asymmetric STDP-like Characteristics Using Electronic Circuit Model

○阿部水樹¹, 中村麻衣¹, 高藤美泉², 内木場文男², 齊藤健², 佐伯勝敏³, 関根好文⁴
 *Mizuki Abe¹, Mai Nakamura, Minami Takato², Fumio Uchikoba², Ken Saito², Katsutoshi Saeki³, Yoshifumi Sekine⁴

Abstract: The purpose of our research is construction of the hardware learning model with STDP-like learning rules. We have reported the pulse-type hardware neuron model which has STDP characteristics. However, it's necessary to study on change the potential of input pulse timing related to STDP. In this paper, we studied on varying the parameters of a circuit model with asymmetric STDP-like characteristic. As a result, we showed the STDP-like characteristics varying the circuit parameter of the electronic circuit model.

1. まえがき

生体の脳における学習・記憶は、シナプス前ニューロン（以下、Pre ニューロンと略記）から入力による興奮性シナプス後電位とシナプス後ニューロン（以下、Post ニューロンと略記）の活動電位のそれぞれの到達タイミングにより、シナプス伝達効率が変化する STDP(Spike Timing Dependent synaptic Plasticity)学習則が重要な役割を果たしていると報告されている^[1]。

我々はニューラルネットワークの学習則に、STDP 学習則を取り入れた非同期型のハードウェアの学習モデルの構成を目的に研究を行っている。先に、シナプス可塑性による伝達効率の変化に強く関与している樹状突起に着目し、STDP を誘発可能なパルス形ハードウェアニューロンモデルを実現可能なことを明らかにした^[2]。

今回、我々はニューロンモデルのネットワーク化の基礎的検討として、非対称型 STDP 特性を誘発可能な電子回路モデルを構成し、その特性について検討を行

ったので報告する。

2. 電子回路モデル

Figure 1 に今回検討に用いた非対称型 STDP 特性を誘発可能な電子回路モデルの回路図を示す。同図は、大別して三つの要素（指数関数発生器、ゲート回路、差動増幅器）で構成した。Figure 1 において、Post ニューロンからのパルス電圧 V_1 は、 R_1 、 C_1 からなる RC 積分器に、 D_1 のダイオードを付加した指数関数発生器を通して、MOS-FET M_1 で構成したゲート回路に接続した。 M_1 のドレイン端子には指数関数発生器からの出力を接続し、ゲート端子には Pre ニューロンからのパルス入力電圧 V_2 を接続した。ゲート回路の出力であるソース端子には、差動増幅器の反転入力端子に接続する構成とした。

V_1 が時間 t_1 のタイミングに入力されると V_1 により D_1 を通して C_1 に電荷が急速に充電され、次に、RC 積分器の動作より、時間が経過するごとに電圧は指数関

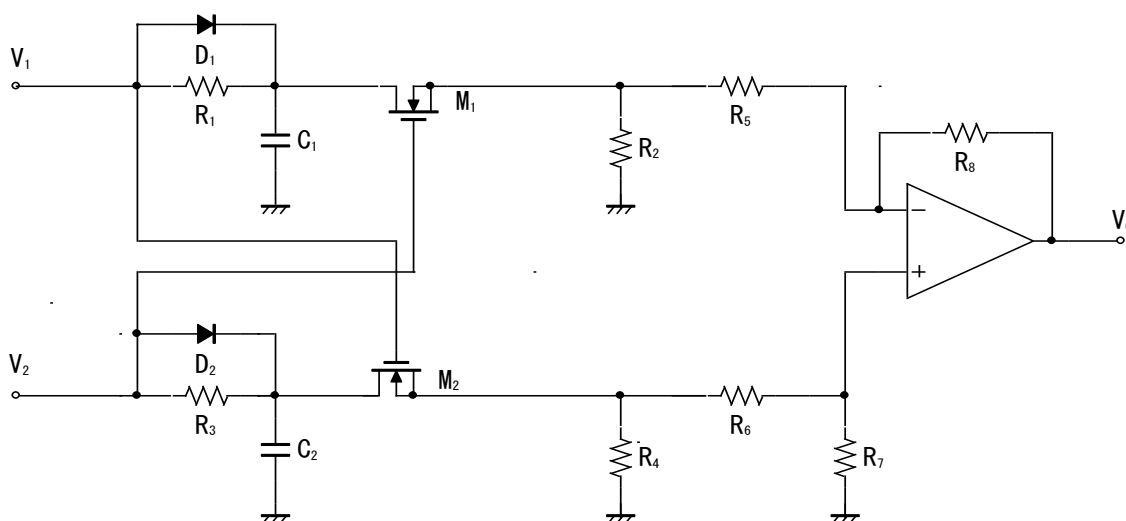


Figure 1. An electronic circuit with STDP characteristic.

数的に低下する。その後、 V_2 が時間 t_2 のタイミングで入力されると Post ニューロン側の MOS-FET のゲート端子に電圧が印加され、 t_2 のタイミングの RC 積分器の出力電圧に比例した電流がドレイン - ソース間に流れる。この電流を電圧に変換して差動増幅器に入力することにより Pre ニューロンと Post ニューロンのパルスタイミングを電圧 V_0 として出力可能である。

本回路はオペアンプの入力の極性の違いを利用して Pre ニューロンと Post ニューロンの出力タイミングに依存した、非対称な STDP 特性を実現している。

3. 非対称型 STDP 特性

Figure 2 に Fig. 1 の回路構成で得られた非対称型 STDP 特性の一例を示す。同図は差動増幅器の利得を 1 とし、 t_1 と t_2 のタイミング ($\Delta t=t_1-t_2$) を $\pm 1.0[\text{ms}]$ の範囲で変化させた場合の $V_0[\text{mV}]$ を示した結果で、実線は指数関数発生器の時定数 $\tau=100 [\mu\text{s}]$ の場合、破線は τ をそれぞれ $200 [\mu\text{s}]$, $300 [\mu\text{s}]$ と変化させた場合の結果である。この結果は、Fig. 1 の回路により、非対称型 STDP 特性が得られ、 V_0 は τ により Pre と Post が影響する Δt の範囲を変化できることを示している。

Figure 3 に STDP 特性の非対称性を変化させるため、差動増幅器の特性を変化させた場合の結果の一例を示す。図中、実線は $R_5:R_6:R_7:R_8$ を $1:1:1:1$ にした場合で、Fig. 2 の実線と同じ実験結果を示している。破線は差動増幅器の帰還抵抗 R_8 を変化させ、 R_5 , R_8 の抵抗値の比率を $1:2$ にした場合、点線は R_6 , R_7 の抵抗値の比率を $1:2$ に変更した場合の特性を示す。

この結果は、差動増幅器の帰還抵抗、利得を変更させることにより、 Δt の範囲を変化することなく、非対称 STDP 特性を変化できることを示している。

4. まとめ

今回、電子回路モデルを用いて非対称型 STDP 特性について検討を行った。

その結果、

1. 簡単なアナログ回路モデルで非対称型 STDP 特性が得られること、
2. 指数関数発生器の時定数を変化させることで、Pre と Post が影響する Δt の範囲を変化できること、
3. 差動増幅器の利得の変化により、STDP 特性の非対称性を変化できること

を明らかにした。

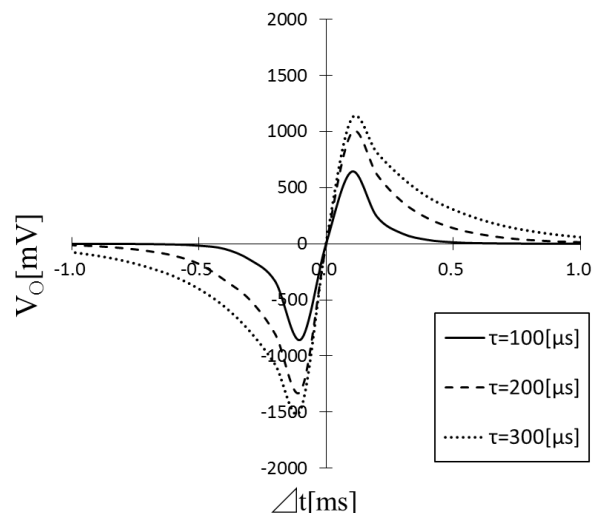


Figure 2. STDP characteristics by varying the time constant τ .

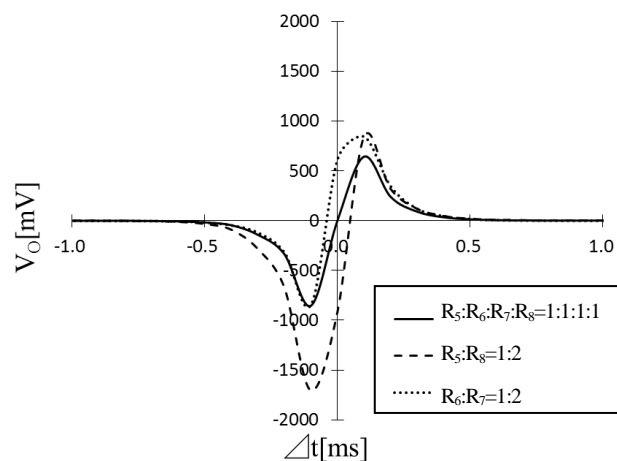


Figure 3. STDP characteristics by varying the differential gain.

今後は、本回路を階層型ニューラルネットワークに応用した新しい学習法について検討する予定である。

5. 参考文献

- [1] G Bi and M. Poo: "Synaptic Modifications in Cultured Hippocampal Neurons Dependence on Spike Timing Synaptic Strength and Postsynaptic cell Type", The journal of Neuroscience, Vo118, pp.10464-10472(1998).
- [2] 大瀧・大和田・佐伯・関根: 「STDP 学習則を取り入れたパルス形ハードウェアモデル」, 電学論. C, Vol.134, No.10 pp.1485-1491(2014).
- [3] 阿部・中村・高藤・齊藤・佐伯・内木場・関根: 「STDP 特性の電子回路モデル化に対する検討」, 電学電子回路研資料, ECT-15-091(2015).