

C-6

コンダクタンス法によるゲート絶縁膜の界面準位密度評価

Evaluation of interface trap density in MIS structure by conductance method

○陳士琪¹, 浜中健吾², 野口竣太郎², 吉岡亘輝², 呉研³, 高橋芳浩³*Shiqi Chen¹, Kengo Hamanaka², Shuntaro Noguti², Kouki Yoshioka², Yan Wu³, Yoshihiro Takahashi³

Abstract: The interface trap density (D_{it}) is an important parameter for evaluating the quality of a metal-insulator-semiconductor (MIS) device. By using conductance method, both D_{it} and response time constant of these traps can be evaluated. In this study, we applied conductance method to evaluate D_{it} in MIS structure.

1. 研究背景

半導体集積回路 (LSI) の高性能化は MOSFET の微細化により行われてきた。ただしゲート酸化膜 (SiO_2 膜) の薄膜化は限界を迎えており、高誘電率絶縁膜の使用が要求されている。一方、 SiO_2 膜の成膜には一般的に熱酸化法が用いられているが、 1000°C 程度の高温プロセスが必要となり、酸化前のプロセス制限、酸化による不純物の再拡散などの問題点が挙げられる。そこで、光 CVD 法により成膜したシリコン窒化膜に注目して研究を行ってきた。光 CVD 法は紫外線のエネルギーにより材料ガスを分解させることにより、低温での絶縁膜堆積が可能であり、これまでに 300°C 程度での成膜が可能であることを報告してきた[1]。ゲート絶縁膜には、高い絶縁性、良好な界面特性が要求される。なかでも界面準位密度は MISFET のしきい値電圧、相互コンダクタンスに直接影響を及ぼし、また電気的ストレスによる界面準位密度の増大は、長期信頼性に対して大きな問題となる。そこで本研究では、光 CVD シリコン窒化膜の界面準位密度評価を目的としている。

界面準位の評価方法には、準静的 C-V 法、高周波 C-V 法 (ターマン法)、コンダクタンス法などが知られている。ただし、準静的 C-V 法はリーク電流による誤差が大きく、低電界リーク電流が比較的大きな光 CVD 膜には適用が困難である。また、ターマン法は界面準位が応答しない高周波での C-V 測定が必要になるが、一般的に用いられる測定周波数 1 MHz において、光 CVD 膜の界面準位が応答する可能性も考えられる。そこで本研究では、MIS 構造に対するインピーダンス解析から、応答時定数も含めた界面準位密度の評価が可能なコンダクタンス法[2]に着目した。なお、本研究では光 CVD 膜への適用の前段階として、MOS 構造に対する評価を行った。

2. コンダクタンス法

界面準位が単一の時定数を有する場合、界面準位の等価回路は、半導体容量 C_s に並列接続された CR 直列回路で表現できることから、MIS 構造の等価回路は図 1 (a) のように表せる。ここで C_i は絶縁膜容量である。本等価回路において、 C_{it}/q が界面準位密度、 $\tau_{it} = R_{it}C_{it}$ が応答時定数を示す。図 1 (b) は、CR 直列回路を並列回路変換したものであり、測定角周波数 ω [rad/s] を用いると C_p , G_p/ω は以下のように表される。

$$C_p = C_s + \frac{C_{it}}{1 + (\omega\tau_{it})^2} \quad (1)$$

$$\frac{G_p}{\omega} = \frac{C_{it}(\omega\tau_{it})}{1 + (\omega\tau_{it})^2} \quad (2)$$

一方、測定により得られる容量及びコンダクタンスは図 1 (c) の C_m , G_m であり、絶縁膜容量を決定すれば C_p , G_p が求められる。ここで式(1)より、 C_{it} は C_p の周波数依存性から直接求められるが、測定周波数範囲内において変化収束していないと評価が困難

になる。一方、式(2)は G_p/ω が $\omega = 1/\tau_{it}$ でピークを持つ特性であることを示しており、本周波数が測定範囲内に収まっていれば、このピークの高さ及び周波数より C_{it} , τ_{it} が同時に求められるという特徴を有している。

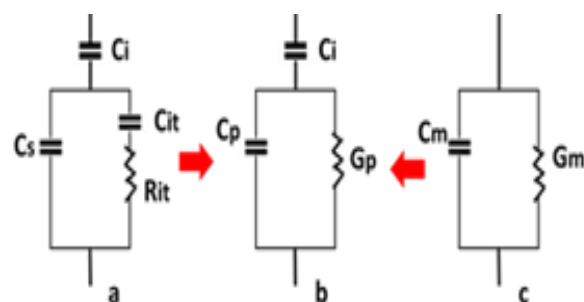


Figure 1. Equivalent circuits of MIS structure

3. 実験方法

p 形 Si 基板（面方位<100>，抵抗率 $\rho = 1 \sim 10$ [Ωcm]) を RCA 洗浄後，dry 酸化法（1000[$^{\circ}\text{C}$]，30 分）により膜厚 40 [nm] の SiO_2 膜を成膜した．その後，真空蒸着法により酸化膜上に直径 300 [μm] の Al 電極を配置することにより MOS 構造を作製した．C-V 特製測定より容量遷移領域(ゲート電圧)を確認し，その範囲においてゲート電圧を変化しながら，測定周波数 1[kHz]~1[MHz]の範囲における容量 C_m ・コンダクタンス G_m の周波数特性を測定した．得られた特性より，図 1 (c)から図 1 (b)の回路変換を行い， C_p , G_p/ω について評価した．

4. 結果

図 2 に C-V 特性，図 3 に G-V 特性(周波数依存性)をそれぞれ示す．容量遷移領域において僅かな周波数依存性が確認され，界面準位の存在を確認した．また，容量遷移領域においてコンダクタンスにピークを観測した．このピークは界面準位の応答によるものと考えられる．なお，-0.5[V]付近に見られるピークは，反転電荷の発生・消滅による応答を反映したものである．次に，容量・コンダクタンスの周波数特性を測定し， C_p 及び G_p について評価した．結果を図 4，図 5 に各々示す．結果より， C_p は周波数と共に減少するものの，測定最高周波数（1MHz）でも収束していないことがわかる．また， G_p/ω のピークは $V_g = -3$ [V]の条件において，800[kHz]付近にピークが観測された．本ピークから D_{it} は $8 \cdot 10^{11} [\text{cm}^{-2}/\text{eV}^{-1}]$ ，反応時定数は $2 \cdot 10^{-7} [\text{s}]$ が得られた．しかし，他のゲート電圧においては測定周波数範囲においてピークを観測することができなかった．

C-V 特性から， $V_g = -3$ [V]の条件では容量はほぼ飽和しており，蓄積状態になっていることがわかる．一般に，蓄積状態の半導体容量は C_i 比べて非常に大きく，周波数にはほぼ依存しないことが予想される．しかし， C_p は 100[kHz]以上で急激に低下することが確認された．これは，等価回路に基板抵抗などの直列接続抵抗を考慮しなかったことが原因のひとつと考えられる，得られた界面準位密度の正確さに疑問が残る．今後，等価回路の再構築などを行い，正確な界面準位の評価を行う必要がある．

5. まとめ

MOS 構造の界面準位密度をコンダクタンス法により評価した． G_p/ω の周波数特性にピークを観測することができたが，周波数に大きく依存しないと予想される蓄積領域の容量特性に大きな周波数特性が観測された．今後，等価回路の再構築などを行い，界面準位密度の正確な評価を行う予定である

参考文献

- [1] 高橋芳浩 他:「光 CVD 法によるシリコン窒化膜の熱処理効果」, 電子情報通信学会論文誌, J80-C-II, No.4, pp.131-138, 1997. など
- [2] E.H.NICOLLIAN and J.R.BREWS, 「MOS PHYSICS AND TECHNOLOGY」

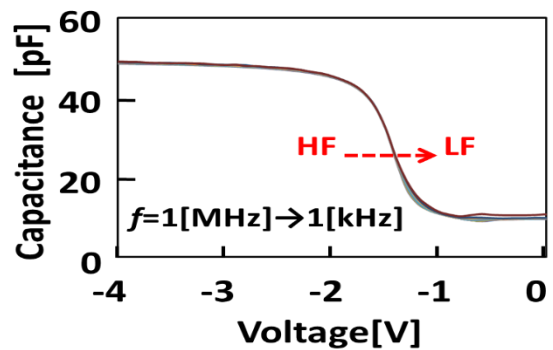


Figure 2. C-V characteristics of MOS structure

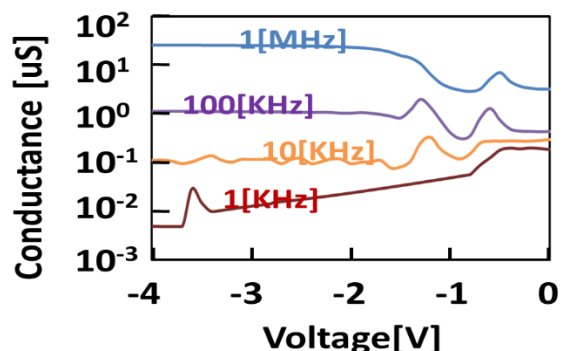


Figure 3. G-V characteristics of MOS structure

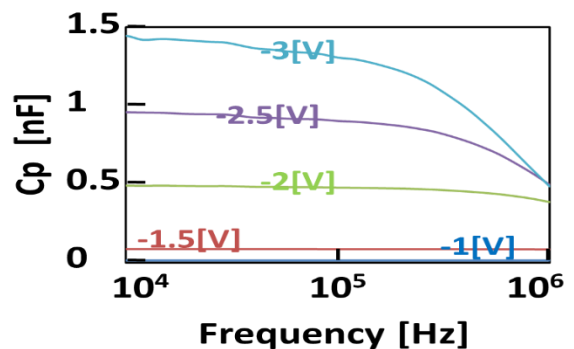


Figure 4. C_p of each applying voltage

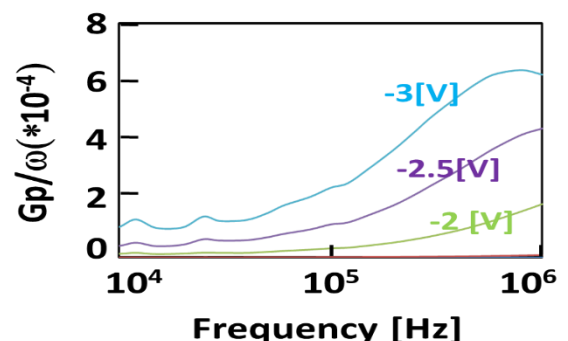


Figure 5. G_p/ω of each applying voltage