G-10

FPGA を用いた系再構成型システムにおけるリリーフ手法の一検討

A Study on a Relief Method in Flexible System Reconfiguration Using FPGA

○野田 雄太[1], 池田 京輔[2], 望月 寛[3]
Yuta Noda[1], Kyosuke Ikeda[2], Hiroshi Mochizuki[3]

Abstract: In previous research, we proposed a flexible system reconfiguration (FSR) method that inherits function of failed controllers using redundant hardware resources. And we actually configured a basic distributed control system with some micro controllers and evaluated basic functions of FSR. In this paper, after we perform the implementation of the basic performance of FSR using the FPGA, we proposed a relief method including FPGA-implemented components to measure CPU load.

１．はじめに

近年，ネットワークやコンピュータの急速な発展に伴い，様々な分野においてシステムの巨大化，複雑化が進んでいるため，これらのシステムの高信頼化は重要な課題である．それに対して筆者らは先行研究により，複数の CPU コアを用いた分散システムに対して従来のように予備系を用いることなくシステムの高信頼化を図ることを可能にする系再構成型システム(Flexible System Reconfiguration：FSR)を提案し、分散システムへの適用を検討している．

そして現在，この系再構成型システムを広く適用するためにプログラムを用いてハードウェア構成を柔軟に変更することが可能である FPGA を用いた検討を行っている[1]．以上を踏まえて，本研究では FPGA を用いた系再構成型システムの高機能化を目的として，特に各 CPU の負荷測定に基づいたリリーフ手法の提案，及び実際の FPGA 上での設計を行ったので報告する．

２．FPGA を用いた系再構成型システム

CPU コア自身の性能やペリフェラルを含めた計算資源が近年飛躍的に増大にしている背景から，分散システムを構成する各 CPU コアには十分な計算資源余裕があると仮定した．そして，それらを利用することによって，CPU コアが故障，あるいは大きな処理負荷が発生した際に，その CPU コアが担っていた機能を従来のように予備系を用いることなく，その他の CPU コアの資源余裕を利用して機能を代行，または同時に処理することで負荷を分散させる手法を提案した．これを系再構成型システムと定義した．

次に，図 1 に FPGA を用いた系再構成型システムの構成を示す．この図より，CPU コアやセンサ・アクチュエータに対して外付けとなるように系再構成型システム構築用ユニット(以下 FSR ユニット)を配置する．FSR ユニットは制御レジスタ情報の収集や更新，および故障診断を受けた I/O 切換という機能を行う．また，CPU コアが故障した際に，機能代行したい CPU コアと該当するセンサ・アクチュエータとの通信路をユニットを介して確保する．さらに，FSR ユニット自身が故障した場合でも通常の系の配線には影響を与えないため，自身の故障に対しても，他の CPU コアが正常稼働している限り機能は維持される．

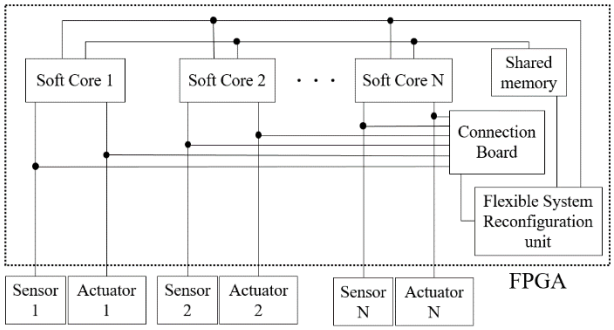

Figure 1. Configuration of a FPGA-based distributed system applied FSR method.

以上を踏まえて，CPU コア故障時の状態を FSR ユニットが管理し，リリーフの命令を出す回路を図 2 に示すような形で FPGA 上に構築した．この回路では通常系として，各 CPU コアは外部に接続されたカウンタ回路を制御している．各 CPU コアは自身が保持しているデータをデータ格納用共有メモリに格納する．FSR ユニットは各 CPU コアのヘルスチェックを行い，各 CPU コアに異常が発生していないかを監視する．疑似故障スイッチが入力されることにより，各 CPU コアは疑似故障状態となる．CPU コアが疑似故障状態になることで，FSR ユニットは CPU コアの故障を検知し，他方の CPU コアにリリーフ信号を送信する．リリーフ信号を受信した CPU コアは，故障 CPU コアが行っていた処理値をデータ格納用共有メモリから読み込むことで，機能リリーフを行う．リリーフ

１：日大理工・学部・情報　２：日大理工・院（前）・情報　２：日大理工・教員・情報

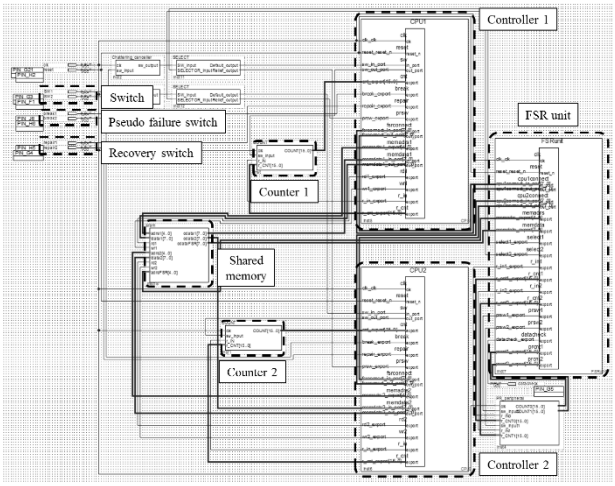

Figure 2. The implemented Flexible System Reconfiguration on FPGA.

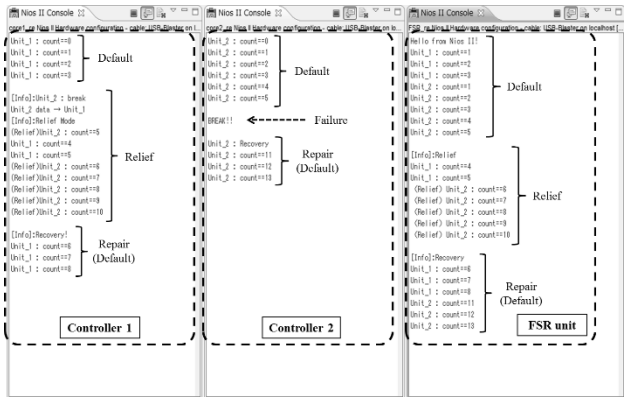

Figure 3. System log of the implemented system on FPGA.

状態となった CPU コアは故障 CPU コアが制御していたカウント処理と並行して自身の処理も行い，処理結果はデータ格納用共有メモリの各 CPU コアの格納アドレスに保存する，復旧信号が故障 CPU コアに入力されると，故障 CPU コアは通常状態から復旧し通常時の動作を行い，FSR ユニットは復旧信号に基づいてリリーフしていた CPU コアを通常状態に移行させる信号を送信する．

以上，システムの評価として図 3 にシステム実行時の各コントローラのシステムログを示す．通常時，FPGA 外部に接続されているスイッチに応じてカウンタ回路は計数しているが，擬似故障スイッチによりコントローラ 2 は故障状態となり，コントローラ 1 は故障したコントローラ 2 が処理していたデータを共有メモリから読み込むことでリリーフできていることを確認した．また，コントローラ 2 の復旧信号に応じて，コントローラ 2 も共有メモリからデータを読み込むことで通常状態に戻すこができることを合わせて確認した．

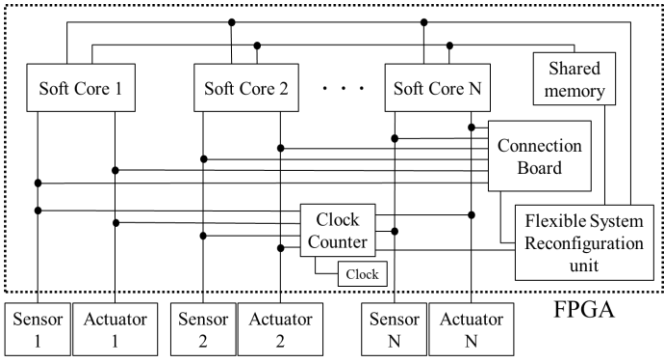

Figure 4. Implementation of clock counter for a FPGA-based system applied FSR method.

３．CPU 負荷を考慮したリリーフ手法の検討

前章までに系再構成型システムの概要および基本的なリリーフ性能について明らかにしたが，実システムへの応用を検討する際，どの CPU コアに計算資源余裕があるかをあらかじめ把握しておくことは，効率的なリリーフを実現するために重要である．各ソフトウェアの CPU 負荷を把握することで，リリーフ時に負荷が偏ることや，高負荷状態を避けることが可能となる．

ここで，CPU 負荷を測定する機構を検討するが，その機能を CPU コア内で実現する手法は，通常のソフトウェア処理との独立性の点で不利であり，また，FSR ユニットに実装する場合は，CPU コアのヘルスチェック間隔が長くなってしまう点で不利となる．他方，FPGA はその特徴として周辺回路を含めた SoC(System on-a-Chip)を実現できるデバイスであることから，上記機能とは独立した形で CPU 負荷測定用回路を実装することとした．具体的には，各コントローラのバスに流れている信号を解析し，担っているタスクの開始と終了までのクロック数をカウントする．これにより，各 CPU コアの相対的な負荷を計測する．機能リリーフ時，FSR ユニットは CPU 負荷測定用回路にアクセスし，各 CPU コアのクロックカウント数を基にしてリリーフ先を決定する．

４．まとめ

本稿では，FPGA を用いた系再構成型システムについて，実際に構築したシステムの性能評価を行うとともに，CPU コアと独立したカウンタを用いたリリーフ手法の検討を行った．今後は，提案したリリーフ手法を実装し，研究の深度化を図りたい．

５．参考文献

[1] 池田他，“FPGA 実装を目的とした系再構成型システムの構築”，平成 28 年電気学会電子・情報・システム部門大会，PS7-9 (2016)