

STDP シナプスモデルを用いた ANN の面積削減に対する一検討

A Study on Reducing the Chip Space of Artificial Neural Network Using a STDP Synaptic Model

○佐々木芳樹¹, 佐伯勝敏¹*Yoshiki Sasaki¹, Katsutoshi Saeki¹

Abstract:

In recent years, a number of studies of neural networks have been conducted with the purpose of applying engineering to the brain. Previously, we proposed a STDP synaptic model, which can make an integrated circuit with field effect transistors and capacitors. However, it is necessary to reducing the area on a chip when constitute of ANN (Artificial Neural Network).

In this paper, we propose a STDP synaptic model using functional blocks. As a result, it is shown that the proposed ANN is able to reduce 45% on the chip space.

1. まえがき

脳型情報処理システム構築のため、生体ニューロンが持つ優れた情報処理能力の工学的応用を目指した研究が行なわれている[1]。生理学において、シナプス前・後のニューロンの発火タイミングに依存して、シナプス伝達効率が変わる STDP(Spike Timing Dependent synaptic Plasticity)が報告されている[2]。

先に我々は、Artificial Neural Network(以下 ANN)の構築を目指し、STDP が再現可能なシナプスモデルについて提案[3]したものの、1セルあたり非対称型 STDP では3個のキャパシタが、対称型 STDP では4個のキャパシタが必要であるためレイアウト面積が大きくなる。一方で、ANNの実現には多くのシナプスモデルが必要であるため、1セルあたりのレイアウト面積を削減する必要がある。先に提案した STDP シナプスモデルでは、STDP 学習則に相当する回路を1つ1つのシナプスモデルに実装していたが、ネットワークとして考えた場合、一部の機能は統合可能である。

本稿では、STDP シナプスモデルを機能別にブロックとして分割し、ネットワークとしての最適化を行うことによりレイアウトの面積削減を検討したので報告する。

2. 本論

図1に、先に提案した STDP シナプスモデルの一例として非対称型 STDP シナプスモデルの基本構成を示す。同図は、機能毎に4つのブロックで構成しており、それぞれ PRE 側発火検出、POST 側発火検出、荷重値更新、時空間加算シナプスの機能を有している。発火検出回路はスイッチ、電流源、静電容量により構成しており、ニューロンモデルから送り込まれる発火パルス電圧の立ち上がりを検出すると結合荷重値制御回路およびシナプスモデルに対して一過性の電圧出力を行う。結合荷重値制御回路は2つの発火検出回路および2つのニューロンモデルと接続し

ており、ニューロンモデルの発火時間差によって荷重値の更新を行う。シナプスモデルは遅延回路とカレントミラー電流源で構成しており、PRE 側の発火パルスを検出すると POST 側のニューロンモデルに対して一過性の電流出力を行う。出力する電流は結合荷重値制御回路の出力電圧により変化させる。これらの要素により、1つの非対称型 STDP シナプスを構成している。なお、対称型 STDP シナプスは本構成に発火検出回路を1つ追加し構成できる。

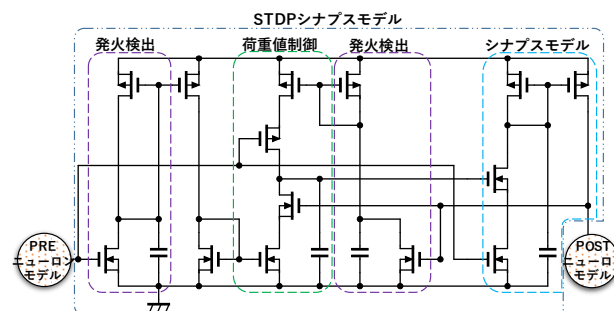


図1 非対称型 STDP シナプスモデルの構成

図2に、図1をもとに構築した従来の ANN の一例を示す。同図は3層のフィードフォワード型 ANN であり、中間層のニューロンモデルが前後の層に対し全結合したものである。同図において、ニューロンモデルを 1:1 で接続した発火検出回路はニューロンモデル1つに対して1つで構成可能であるが、1つのニューロンモデルに対して複数のニューロンが接続される場合は、それぞれに対して STDP シナプスモデルを接続しており、その個数に応じて発火検出回路の使用数も増大する。層数を i , k 層に配置したニューロンモデル数を N_k , k 層~($k+1$)層に接続する1ニューロンモデルあたりの STDP シナプスモデル数を S_k とした場合、発火検出回路の使用数 N は

$$N = \sum_{k=1}^{i-1} 2N_k \cdot S_k \quad \dots (1)$$

で表すことができる。一例として、VGA 画素データ(307, 200 画素)を 10 結合型の 3 層のフィードフォワード ANN で分類処理を行う場合、約 1200 万ブロックの発火検出回路を使用する必要がある。発火検出回路内およびシナプス回路内には静電容量が用いられているため、1 つあたりの静電容量のレイアウト面積を $16\mu\text{m}^2$ としても、回路全体で約 11cm^2 のレイアウト面積が必要となる。

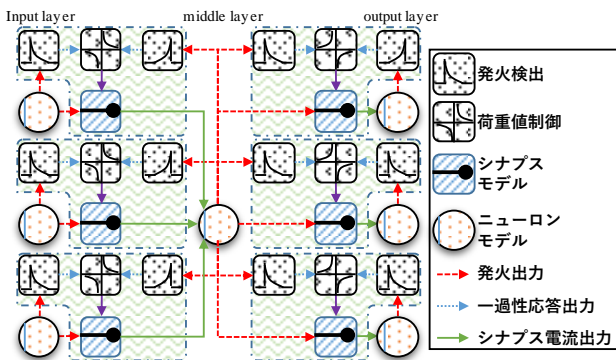


図2 従来の ANN 構成

図3に今回提案する ANN のブロック図を示す。同図において、1セルのニューロンモデルは1つの発火検出回路と接続しており、その他との結合を持たない構成としている。また、シナプスモデルは発火検出回路とも接続しており、発火検出回路が出力する一過性の応答を、発火の影響時間および影響度合いとして加味し、次段のニューロンモデルに対して電流を出力する。ニューロンモデルは、前段の複数あるシナプスモデルと接続しており、シナプスモデルの出力した電流の合計をニューロンモデルに対して電流出力する。これらの構成を基本単位としてVGA 画素データ(307, 200 画素)を 10 結合型の 3 層のフィードフォワード ANN で分類処理を行う場合、発火検出回路を約 31 万ブロックで構成することが可能であり、レイアウト面積は約 5cm^2 で構成可能である。これは、従来の構成のレイアウト面積と比較して約 45%で構成可能であり、静電容量を有する発火検出回路を削減することでレイアウト面積を削減可能であることを示している。

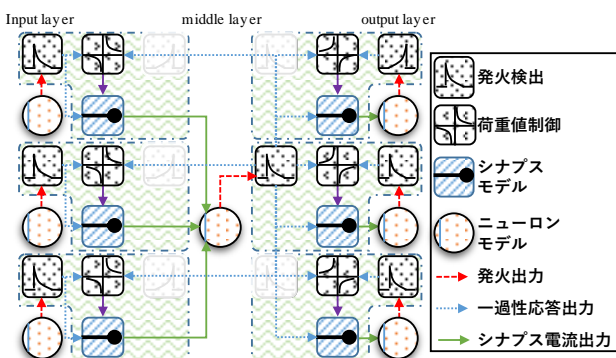


図3 提案する ANN の簡易ブロック図

図4に、図3の構成を用いた場合の動作波形を示す。図中、横軸に動作時間を、縦軸に電圧を示す。同図は、図3の構成を用いた場合でも対称型の時間窓をもつ STDP 結合荷重値制御回路とニューロンモデルが動作可能であることを示している。

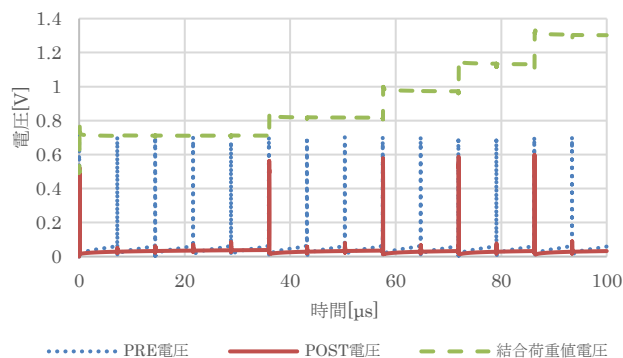


図4 動作波形

3. まとめ

今回、STDP シナプスモデルを機能別にブロックとして分割し、ネットワークとしての最適化を行うことによりレイアウトの面積削減の検討を行った。その結果、発火検出回路を統合することで、レイアウト面積を従来の 45%で構成可能であることを明らかにした。

今後は、VDEC を通して今回提案したモデルのチップ化を行うと共に、学習機能を有するニューラルネットワークの構築を行う予定である。

謝辞

本研究は東京大学大規模集積システム設計教育研究センターを通し、シノプシス株式会社、及び日本ケイデンス株式会社の協力で行われたものである。

参考文献

- [1] H. Tanaka, T. Morie and K. Aihara, "A CMOS Spiking Neural Network Circuit with Symmetric/Asymmetric STDP Function", IEICE Trans. Fundamentals, Vol. E92-A, No. 7, pp.1690-1698, 2009.
- [2] G. Bi and M. Poo, "Synaptic modifications in cultured hippocampal neurons, Dependent on spike timing synaptic strength, and postsynaptic Cell Type" J.Neurosci, 18, pp.10464-10472, 1998.
- [3] 和田慶介, 佐伯勝敏, 関根好文: 「空間加算を考慮した歯状回-CA3 電子回路モデルに対する一検討」, 電気学会電子回路研究会資料, ECT-09-117, pp.47-52, 2009