

M-1

トンネル FET のデバイスパラメータが電気的特性に及ぼす影響

The effects of device parameters on electrical properties of Tunnel FET

○岩波悠太¹, 唐鎌亮太², 三田梓郎², 高橋芳浩³, 呉研³*Yuta Iwanami¹, Ryota Karakama², Shiro Mita², Yoshihiro Takahashi³, Yan Wu³

Abstract: The device parameter dependence on the electrical properties of the Tunnel FET was studied by simulation. It was confirmed that enough drain current could be obtained when the gate oxide layer is thinner than 5 [nm] and the steep junction between source and body with source of highly impurity concentration is fabricated.

1. 序論

現在、半導体デバイスは高い信頼性を有しているが、宇宙空間や原子炉周辺などの強い放射線環境下で使用した場合、一時的な誤動作(ソフトウェア)や恒久的な故障(ハードウェア)などが問題となる。半導体デバイスに電離放射線が照射されると、その飛程に沿って高密度の電子正孔対が発生し、その一部が電極に収集されることにより回路に過渡電流が流れ、一時的な誤動作や故障が引き起こされる。この現象をシングルイベント効果(SEE: Single Event Effect)という。一方、基板内に埋め込み酸化膜(BOX: Buried Oxide)層を有するSOI(Silicon on Insulator)デバイスでは、BOX層により支持基板で発生した電荷の収集が抑制されることから、放射線耐性に効果があることが知られている。しかし、SOIデバイスの欠点の一つとして、寄生バイポーラ効果が挙げられる^[1]。寄生バイポーラ効果とは、放射線照射により発生した正孔(電子)がBodyに蓄積することで、Bodyのポテンシャルが変化し、SourceからDrainへ放射線により発生した電荷量以上の電荷が注入される現象である。寄生バイポーラ効果を抑制することは、ソフトウェア低減のための重要な課題の一つとなっている。

寄生バイポーラ効果の抑制方法の一つとして、トンネルFETの利用が提案されている。トンネルFETはSourceからBodyへのキャリアのトンネル注入を駆動原理とするデバイスであり、Source, Drainにそれぞれ異なる不純物原子を導入することにより階段状のエネルギーバンドが形成される。これまでの研究で、放射線照射により発生した電荷はBodyに蓄積されることなくSource, Drainに収集されることにより寄生バイポーラ効果を抑制できることをシミュレーションにより確認している^[2]。そこで本研究では、実際のデバイス作製を目指し、不純物濃度や酸化膜厚などのデバイスパラメータが電気的特性に及ぼす影響について検討した。

2. デバイスシミュレーション

Fig.1に計算モデルを示す。W/L=10/5 [μm]とした。トンネルFETを動作させるのに必要なGate酸化膜厚を検討するため、膜厚を5, 10 [nm]と変化させ計算を行った。トンネルFETではSource不純物が特性に影響を及ぼすので、不純物濃度を $7 \times 10^{18} \sim 1 \times 10^{21}$ [cm⁻³]まで変化させ計算を行った。また検討を行ったSource - Body界面における濃度分布をFig.2に示す。SIMS分析結果より、Boron濃度は深さ方向に対し表面から0.6 [μm]で1/10程度となっていることを確認している。一方、熱拡散工程によりBoronは横方向にも拡散することが考えられる。そこで深

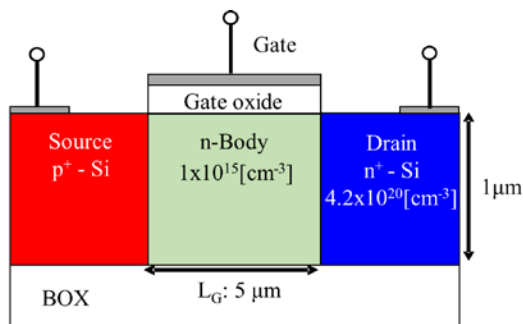


Fig. 1 Simulation model for Tunnel FET

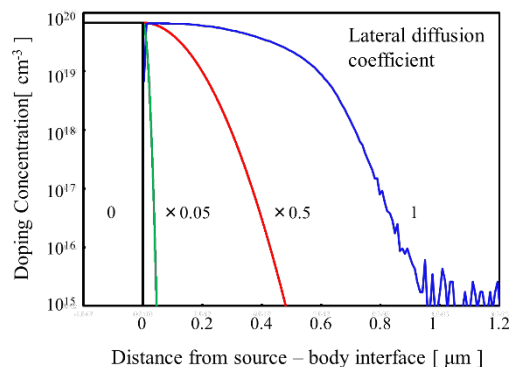


Fig. 2 Doping profiles at source - body interface

1: 日大理工・院(前)・電子, 2: 日大理工・学部・電子, 3: 日大理工・教員・電子

さ方向に対する横方向への分布度合い(横方向広がり係数)を 1, 0.5, 0.05とした場合, 更に階段接合(横方向広がり係数0)とした場合について各々評価した.

3. 結果・考察

Fig.3にゲート酸化膜厚を変化させた時の $I_D - V_G$ 特性を示す. 膜厚10 [nm]のときは $V_G = 4$ [V]でもデバイスが動作しないことを確認した. また, 膜厚5 [nm]において, $V_G = 3$ [V]付近において Drain電流が流れ始めているが, このとき酸化膜にかかる電界は6 [MV/cm]であり, 実デバイスにおいて測定をする際には酸化膜からのトンネル電流や酸化膜の絶縁破壊を考慮する必要がある.

Fig.4に $V_G = 2.5$ [V]におけるトンネルFETのDrain電流とSource不純物濃度の関係を示す. このときの不純物濃度分布は階段接合として計算を行った. Source不純物の高濃度化と共にDrain電流が向上することを確認した. また, 不純物濃度が 1×10^{20} [cm⁻³]以上ではDrain電流は飽和することを確認した. これより, Source不純物濃度は 1×10^{20} [cm⁻³]程度必要であることがわかった.

Fig.5にSource不純物の濃度分布を変化させたときの $I_D - V_G$ 特性を示す. 結果より, 横方向への不純物の広がりを抑制するとしきい値電圧の低下が可能となり, 横方向広がり係数を0.05とすると $V_G = 3$ [V]程度においてDrain電流が1桁程度向上できることを確認した. 各不純物分布の $V_G = 3$ [V]におけるSource - Body界面のエネルギーバンド図をFig.6に示す. 横方向の不純物分布が急峻になるにつれ, Source - Body間のバンドギャップが小さくなりトンネル長が短くなることにより電流値が大きくなることがわかる.

以上のことからGate酸化膜厚5 [nm]以下, Source不純物濃度は 1×10^{20} [cm⁻³]で横方向に急峻な濃度分布をもつデバイスが最も適切な設計パラメータであることがわかった.

4. まとめ

トンネルFETの電気的特性におけるデバイスパラメータ依存性をシミュレーションにより検討を行った. Gate酸化膜厚は5 [nm]以下で, Source不純物濃度は高濃度でSource - Body間において急峻な接合であれば良好な特性が得られることを確認した.

謝辞

本研究の一部は東京大学大規模集積システム設計教育研究センターを通し, シノプシス株式会社の協力で行われたものである.

参考文献

- [1] 山本航汰:「微細SOI-CMOS回路における重イオン照射効果」, 平成27年度修士論文
- [2] 呉研, 他:「トンネルFETに対する放射線影響およびSi系ヘテロ接合におけるON電流向上効果」, 平成26年度日本大学理工学部学術講演会, C - 1, 2016 - 12.

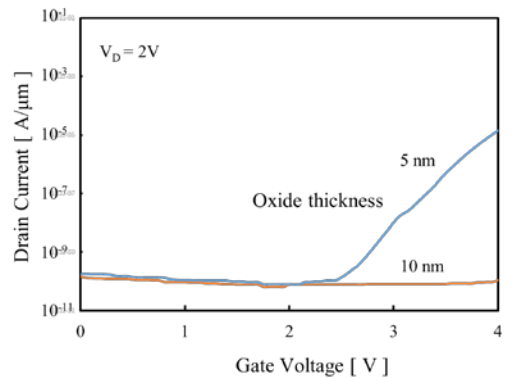


Fig. 3 Oxide thickness dependence on $I_D - V_G$ characteristic

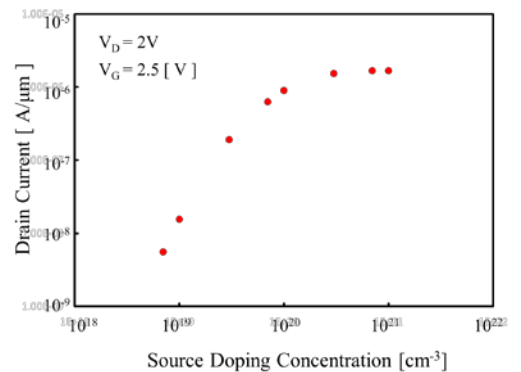


Fig. 4 Source doping concentration dependence on drain current at $V_D = 2$ [V], $V_G = 2.5$ [V]

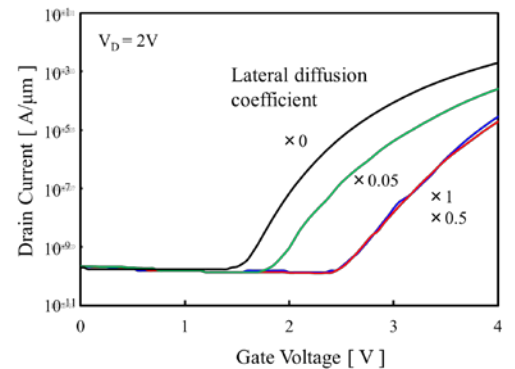


Fig. 5 $I_D - V_G$ characteristic (Source doping profile dependence)

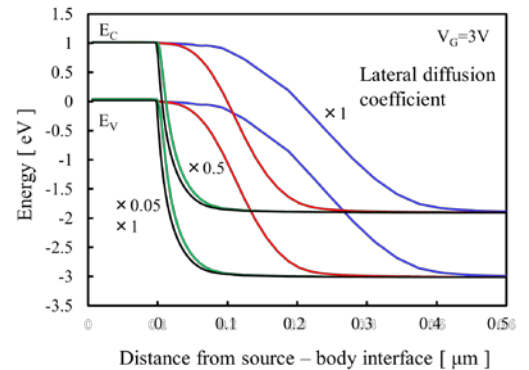


Fig. 6 Energy band diagrams at source - body interface