

寄生容量を考慮したニューロンモデルの集積化に対する一検討

A Study on Integration of Neuron Model Considering Parasitic Capacitance

○小澤俊佑¹, 佐々木芳樹², 佐伯勝敏²*Shunsuke Ozawa¹, Yoshiki Sasaki², Katsutoshi Saeki²

Abstract: Since neural networks have superior information processing functions, many investigators attempt to model biological neurons and their networks. Furthermore, a number of studies of neural networks have recently been made with the purpose of applying engineering to the brain.

In this paper, we focus on spike timing dependent synaptic plasticity (STDP), and we propose a neuron model considering parasitic capacitance. As a result, we clarify that it is possible to delay oscillation of a next neuron model.

1. まえがき

集積回路の機能向上において、集積密度の向上や寄生成分の削減は有効な手段とされており、メモリ容量の増大や動作速度の向上が実現されてきている。また、生体が持つ優れた情報処理能力の工学的応用を目指し、集積回路を用いた研究が行われている^[1]。一方、生体において、細胞体の発火順序と時間差に依存してシナプス結合荷重が変化する STDP(Spike Timing Dependent synaptic Plasticity)が報告されている^[2]。シナプス結合荷重の変化は学習に深く関わっているため、工学的に適用する場合、細胞体の発火に十分な時間差が必要となる。

本論文では、ローム社の CMOS 0.18 μm プロセスを用いて発火の時間差が得られるよう寄生容量を考慮したニューロンモデルについて検討を行ったので報告する。

2. 本論

図 1 に、本検討に用いたニューロンモデルを示す。

(a)は結合した細胞体モデルを示す。図中、前段の細胞体モデル S_1 、軸索モデル 5 段、後段の細胞体モデル S_2 でニューロンモデルを構成しており、 S_1 における発火波形のダウンエッジを検出して次段へ電流を流し、 S_2 が発火する。(b)は細胞体モデルを示す。本モデルは、まず M_{DI} より C_g へ電流を流し、 C_g の両端電圧が上昇することで $M_{A,N}$ と $M_{A,P}$ で構成した Λ 形負性抵抗素子が動作する。次に、 Λ 形負性抵抗素子を通して C_m へ電流を流し、 C_m の両端電圧が上昇することで、 $M_{D,N}$ を動作させ C_g から電荷を引き抜く。電荷を引き抜かれた C_g の両端電圧は低下するため、 Λ 形負性抵抗素子の動作が停止し、 M_L が C_m より電荷を引き抜く。その後、 M_{DI} より C_g へ電流を流す。これらの一連の動作を繰り返すことで発振する。次に、(c)、(d)に軸索モデルを示す。本モ

デルは、初段で S_1 のダウンエッジ検出後、出力段の M_{AL} に生じる電圧波形のダウンエッジを A_2 以降で検出し、 S_2 に流す電流のタイミング遅らせている。なお、 A_5 は最終段であるため、 $A_1\sim A_4$ とは構造が異なり、電流調整用のカレント・ミラー回路を一段多く接続しており、 M_{15} から S_2 へ接続する。

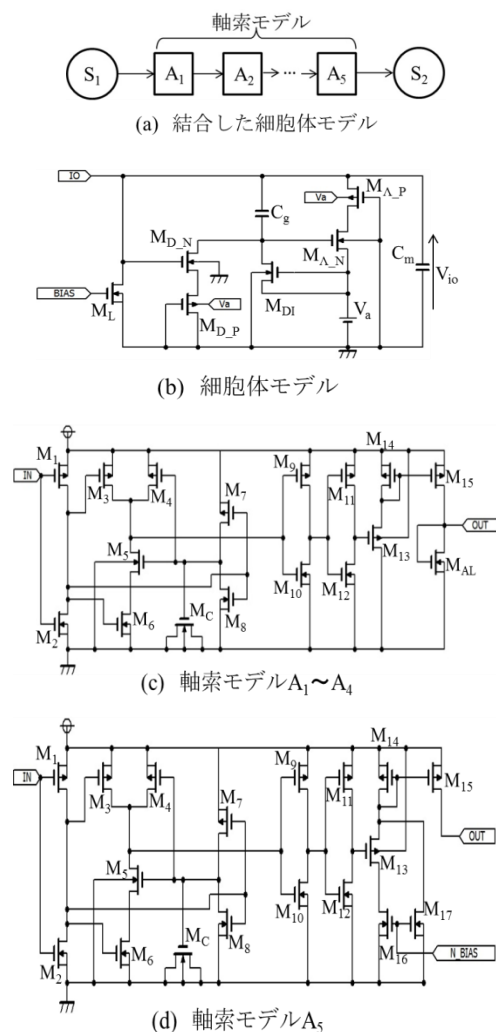


図 1 ニューロンモデル

図 2 に、ニューロンモデルのレイアウトを示す。(a) は細胞体モデルのレイアウト、(b)は軸索モデル $A_1 \sim A_4$ のレイアウト、(c)は軸索モデル A_5 のレイアウトを示す。本レイアウトではN型同士のP型同士のMOSFETについて、同電位である端子を直接接続することにより、面積削減及び寄生抵抗の削減を行っている。細胞体モデルのレイアウト面積は $181.15[\mu\text{m}^2]$ 、軸索モデルのレイアウト面積は $A_1 \sim A_4, A_5$ 共に $246.38[\mu\text{m}^2]$ である。

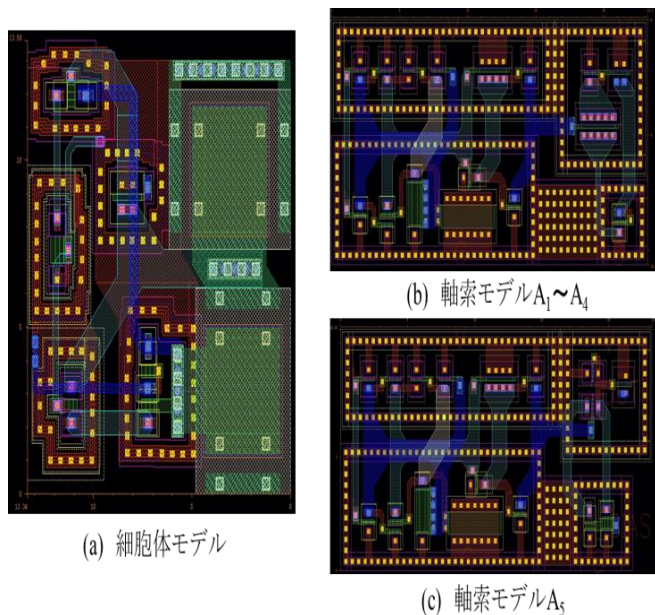


図 2 ニューロンモデルのレイアウト

図 3 に、ニューロンモデルのシミュレーション結果を示す。 V_{io} は S_1 の発火波形、 V_{out} は S_2 の発火波形を示す。また、 V_{io_RC} 、 V_{out_RC} は、それぞれ V_{io} 、 V_{out} にて寄生抵抗、寄生容量を含んだ時のシミュレーション結果を示す。なお、シミュレーションにはHSPICEを用いた。同図は、寄生容量の影響によって発火周期が約 $0.27[\mu\text{s}]$ 遅れていること示している。

図 4 に、ダウンエッジ検出のシミュレーション結果を示す。(a)は寄生抵抗と寄生容量を含まない場合、(b)は寄生抵抗と寄生容量を含む場合のシミュレーション結果を示す。同図は、寄生容量の影響により検出時間が約 $7.6[\text{ns}]$ 伸びていることを示している。検出時間の増加は、 S_2 が発火するまでの時間を延ばすことに直接影響してくる。したがって、寄生容量を考慮することで後段の細胞体モデルが発火するまでの時間をより遅らせることが可能であることを示している。

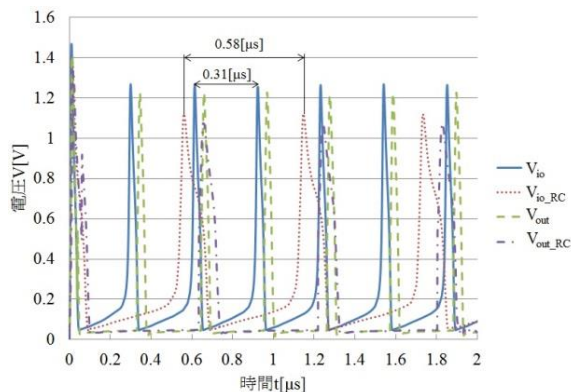


図 3 細胞体モデルの発火波形

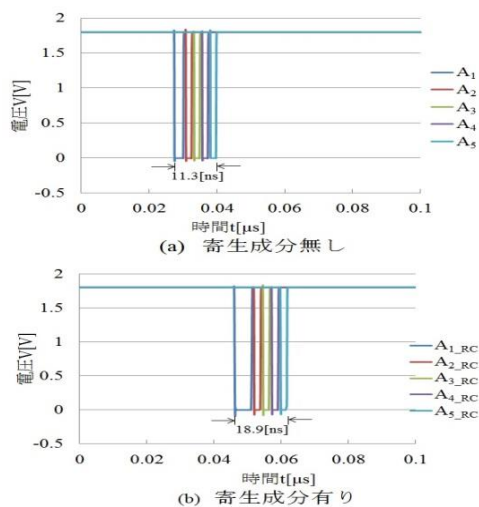


図 4 ダウンエッジ検出波形

3. まとめ

今回、発火の時間差が得られるよう寄生容量を考慮したニューロンモデルの集積化について検討を行った。その結果、寄生容量を考慮することにより、後段の細胞体モデルが発火するまでの時間を延ばすことが可能であることを明らかにした。

4. 今後

VDECを通して、本モデルをICチップ化する予定である。また、さらなるレイアウト面積の削減について検討を行う予定である。

5. 参考文献

[1] 眞下祐一, 佐々木芳樹, 佐伯勝敏, 関根好文: 「パルスタイミングに依存した可塑シナプス用多値SRAMに対する検討」, 信学ソ大, A-1-3, p.3, 2011.
 [2] G Bi and M. poo: “Synaptic Modifications in Cultured Hippocampal Neurons Dependence on Spike Timing Synaptic Strength and Postsynaptic Cell Type”, The journal of Neuroscience, Vo.118, pp.10464-10472, 1998.