

SiO₂成膜中の温度変化が電気的ストレス耐性に及ぼす影響Effect of changing temperature during oxidation on resistance to electrical stress of SiO₂ films○安田光保¹, 呉研², 高橋芳浩²*Kosuke Yasuda¹, Wu Yan², Yoshihiro Takahashi²

Abstract: The influence of oxidation temperature on TDDB characteristics of MOS structure was investigated. It was confirmed that the time for dielectric breakdown by electrical stress could be improved by decreasing process temperature during oxidation. In addition, it was confirmed that the time for breakdown can be improved when the low-temperature oxidation time is long.

1. 目的

MOSFETをはじめとした半導体デバイスは、地上のみならず人工衛星搭載デバイスとして高密度の放射線環境である宇宙空間でも使用されている。MOSFETに電離放射線が照射した場合、電離作用により発生した電荷の一部が絶縁膜中の電荷トラップに蓄積し、しきい値電圧の変動や相互コンダクタンスの低下を引き起こす。また、照射により絶縁膜中に発生したトラップを介したリーク電流が増大することも知られている。これら照射量増大に伴う特性劣化はトータルドーズ効果と呼ばれるが、パワーMOSFETなど厚い酸化膜を有するデバイスで特に顕著となる。よって、宇宙機器の信頼性向上のためにはトータルドーズ耐性の向上が求められている。これまでにトータルドーズ効果の抑制を目的として、酸化膜中への窒素添加[1]、窒化膜/酸化膜の多層構造の適用[2]、低温酸化プロセスの適用[3]など多くの研究が行われてきた。中でも、低温酸化は他に比べて単純なプロセスで大きな耐性向上が可能であることが報告されている。しかし、低温で厚い酸化膜を成膜するには非常に長時間のプロセスが必要となる。そこで我々は、高温酸化により厚い酸化膜を形成し、酸化途中で酸化温度を低下させることによるトータルドーズ耐性向上について検討することとした。

なお、本研究では放射線耐性の評価の前段階として、電気的ストレス耐性について評価した。照射によるリーク電流増大と電気的ストレスによるリーク電流増大における基本的なメカニズム（電荷トラップを介した電流伝導）は類似していることが報告されており、ストレス増大により最終的には絶縁破壊に至る。そこで本研究では、電気的ストレスによる絶縁膜経時破壊（Time-Dependent Dielectric Breakdown: TDDB）特性に酸化プロセス（温度変化）が及ぼす影響を評価した。

2. 実験方法

抵抗率 0.8~1.2Ωcm, 面方位<100>, 12 mm 四方の n 形 Si 基板を RCA 洗浄後, Table 1 に示す 4 つの酸化条件で Dry 酸化を行った。条件 1 は通常の 1000°C, 30min の酸化であり, 酸化後に同温度の窒素中で 30min のアニール処理を行った。他の条件では 1000°C で 25min 経過後, 酸化温度を低下させ低温酸化を行った。酸化後, 条件 2 では 800°C, 条件 3, 4 では 600°C で窒素アニールを行った。なお, 各試料の酸化時間は酸化膜厚がほぼ同一 (36~38nm) となる時間とした。酸化膜成長後, 直径 300μm の Al ゲート電極を真空蒸着法により作製し, MOS 構造を作製した。素子作製後, 各試料に対して定電流 TDDB 特性を評価し, 絶縁破壊時間について検討した。

Table1. Oxidation and annealing conditions

Process condition	Oxidation condition	Annealing conditions
#1	1000°C/30min	1000°C/30min
#2	1000°C/25min, 800°C/2h	800°C/30min
#3	1000°C/25min, 600°C/6h	600°C/30min
#4	1000°C/25min, 600°C/12h	600°C/30min

3. 結果・考察

Fig. 1 に各酸化条件で成膜した MOS 構造のリーク電流特性を示す。なお, 基板に対してゲートに正電圧を印加した (蓄積状態)。結果より酸化条件によらず, ほぼ同等のリーク電流特性 (初期特性) であることがわかる。結果より, ゲート電圧約+28V (絶縁膜電界: 約 7MV/cm) から電流が増大していることがわかる。これは FN トンネル電流による

ものであり、今回の TDDB 試験では、FN トンネル電流領域である 50nA (18 μ A/cm²), 100nA(35 μ A/cm²)をストレス電流と設定した。このときのゲート電圧は+30~35V 程度となる

Fig. 2 に、各試料における定電流ストレス時間に対するゲート電圧の変化の測定結果例を示す。全ての試料において、印加電圧はストレス時間と共に増大していることがわかる。これは、シリコンから注入された電子の一部が絶縁膜中に蓄積されたことにより界面近傍の電界分布が変化し、同じ電流を流すためにより大きな電圧が必要になったことが原因であると考えられる。なお、ゲート電圧の急激な減少は絶縁破壊を意味しており、この状態に至る時間を絶縁破壊時間と定義した。

Fig. 3 にストレス電流 50nA における条件 1 (酸化温度 1000 $^{\circ}$ C) と 2 (1000 \rightarrow 800 $^{\circ}$ C に変化) における絶縁破壊時間分布を示す。横軸は絶縁破壊時間、縦軸はその破壊時間以内に破壊したデバイスの割合を示しており、例えば条件 1 では 10s 以内に絶縁破壊した割合は約 40%であることを示している。条件 2 の結果は、条件 1 に比べて全体的に右側にシフトしており、絶縁破壊時間が 2 倍以上改善したことがわかる。これより、酸化膜成膜中の酸化温度の低下により、電気的ストレス耐性が大きく向上可能であることを確認した。なお、条件 4 (低温酸化時間 600 $^{\circ}$ C を 12h) のみ定電流 50nA での計測で 5000s 以上の耐性を示した。

Fig. 4 に定電流 100nA を用いて計測した条件 2, 3, 4 における絶縁破壊時間分布を示す。結果より、条件 2 と条件 3 の TDDB 特性はほぼ同等の条件を示した。この結果より 800 $^{\circ}$ C から 600 $^{\circ}$ C への酸化温度降下は特性に大きく寄与しない事がわかる。一方、条件 4 (低温酸化 600 $^{\circ}$ C を 12h) は条件 3 (低温酸化時間 600 $^{\circ}$ C を 6h) に比べて良好な特性を示した。これは、低温酸化時間の延長が電気的特性向上に寄与した為だと考えられる。以上の事から 800 $^{\circ}$ C 以下の低温酸化では温度降下ではなく酸化時間が電気的特性向上に寄与することがわかる。

4. まとめ

酸化温度の変化が電気的ストレス耐性に及ぼす影響について検討した結果、酸化途中の温度低下により耐性が向上可能であることを明らかにした。これは、短時間のプロセスでも長期信頼性に優れた厚い酸化膜が形成可能であることを意味する。今後、電気的ストレス耐性向上に向けた酸化条件の最適化を目指すと共に、トータルドーズ耐性との関連性についても検討を行う予定である。

5. 参考文献

[1] F. L. Terry, Jr. et. al. IEEE EDL-4, No.6, p.191, 1983.
 [2] J.R. Cricchi et. al. Appl. Phys. Lett., Vol.19, No.3, p.49, 1971.
 [3] 井上正範 他, 応用物理学会シリコンテクノロジー, No.170, p.20, 2014.3.

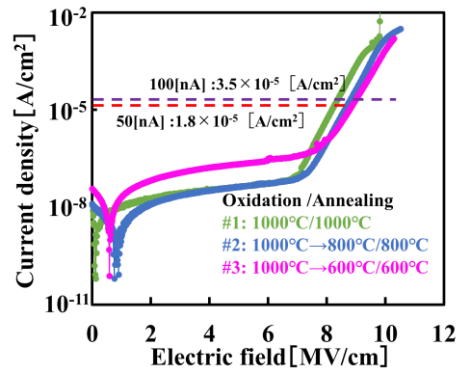


Fig.1. Leakage current of MOS structures fabricated by various conditions

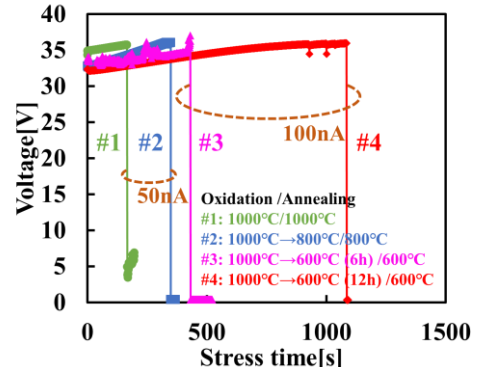


Fig.2. Applied voltage under constant current stress

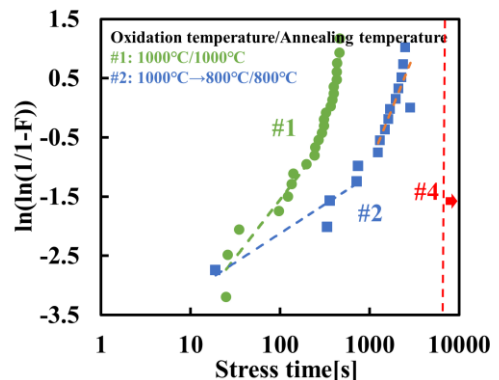


Fig.3. Dispersion of dielectric breakdown time test at 50nA (process condition #1, 3 and #4)

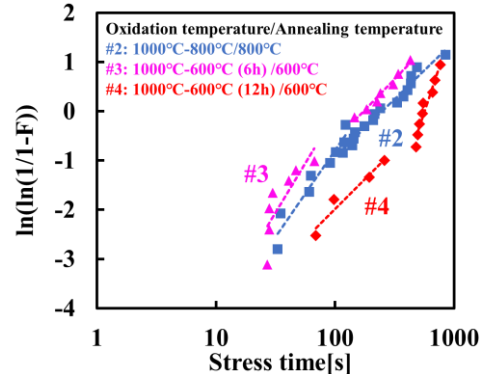


Fig.4. Dispersion of dielectric breakdown time test at 100nA (process condition #3, 4 and #5)