

C-14

Fin 型トンネル FET のデバイスパラメータ依存性

Device parameter dependence on the electrical properties of Fin type tunnel FET

○岸佳佑¹, 唐鎌亮太¹, 三田梓郎¹, 山口直弥¹, 菅瑛斗², 中野雄介², 高橋芳浩³, 呉研³

*Keisuke Kishi¹, Ryota Karakama¹, Shiro Mita¹, Naoya Yamaguchi¹, Eito Kan², Yusuke Nakano²
Yoshihiro Takahashi³, Yan Wu³

Abstract: The device parameter dependence on the electrical properties of the Fin type Tunnel FET was investigated using device simulator. It was confirmed that the larger drive current can be obtained by Fin type TFET with thinner gate oxide film, and with wider and higher Fin structure.

1. 序論

半導体デバイスは集積化による性能向上が進められてきた。しかし、多くのデバイスで用いられているMOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor) では、集積化と共にサブスレッショルド・スイング係数 (S値) が大きくなり、待機消費電力が大きくなるのが問題となっている。S値の低減を目的としてFin型MOSFET (FinFET)構造が提案されており、原理的な限界値である60 mV/dec.に近い値が得られている。また、更なるS値の低減が可能なデバイスとしてトンネルFET (T-FET) が提案されている。T-FETはSourceからBodyへのキャリアのトンネル注入を駆動原理とするデバイスであり、60 mV/dec.以下のS値を得ることが可能である。しかし、トンネル接合部に形成されるトンネル抵抗により、MOSFETに比べて駆動電流が小さい問題がある。そこで本研究では、構造により接合面積を変化可能であるFinFETに対してT-FETを適用することによる駆動電流の増大について検討するため、Finのサイズ、ゲート酸化膜厚がT-FETの電気的特性に及ぼす影響についてデバイスシミュレーションを用いて評価した。

2. 計算モデル及びシミュレーション条件

Fig.1にFin型T-FETの構造を示す。チャンネル長25nm, BOX膜厚75nmとした3次元モデルを作成した。Table.1に詳細な条件を示す。また、Gate酸化膜厚(dox), Fin幅(Wfin), Fin高さ(Hfin)を, dox: 1~10 nm, Wfin: 5~10 nm, Hfin: 1~10 nmの範囲で変化させて、ドレイン電圧-3Vにおける I_D - V_G 特性を評価した。また、先行研究^[1]によりSource-Body界面での不純物濃度変化は急峻であることが望ましいため、シミュレーション上の不純物は階段接合として設定した。

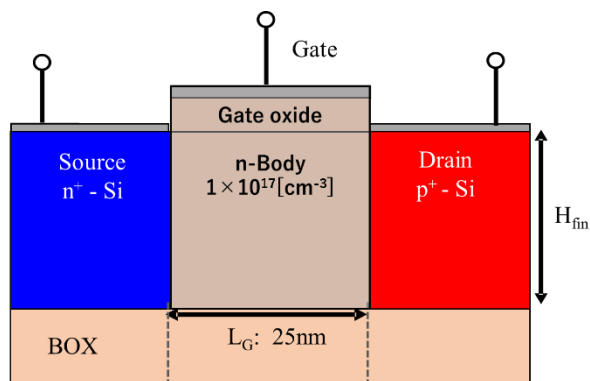


Fig. 1 Simulation model for Fin-Tunnel FET

Table.1 Simulation parameter for Fin-Tunnel FET

Source/Drain Doping concentration	$10^{20}[\text{cm}^{-3}]$
Body Doping concentration	$10^{17}[\text{cm}^{-3}]$
Gate Oxide thickness	0.1~1[nm]
Fin Width (Wfin)	5~10[nm]
Gate Length (Lg)	25[nm]
Gate Voltage (V_G)	0~-10[V]
Drain Voltage (V_d)	-3[V]

1: 日大理工・院 (前) ・電子, 2: 日大理工・学部・電子, 3: 日大理工・教員・電子

3. 結果・考察

Fig.3にWfin = 8nm, Hfin = 25 nmの条件において、酸化膜厚doxを0.1~1 nmの範囲で変化させた時のID - VG特性を示す。doxの薄膜化により、VGのチャネル電位に及ぼす影響が増大することにより、全ゲート電圧範囲においてドレイン電流値が上昇することがわかる。これは、酸化膜の薄膜化によりOFF電流も増大することを意味している。また、VG = -10Vでの電流値のdox依存性を評価したところ、IDは酸化膜厚の薄膜化に対して直線的に増大することを確認した。

Fig.4にWfin = 8 nm, dox = 0.7 nmの条件において、Fin高さHfinを25~150nmの範囲で変化させた時の結果を示す。Finを高くするに従い電流値が上昇することがわかる。また、VG = -10Vにおける電流値はHfinに対して直線的に変化した。これは、Fin高さと共に、ソース-ボディ界面のトンネル接合の面積が広がったことが原因であると考えられる。

Fig.5にHox = 0.7nm, Wfin = 8 nmでFin幅Wfinを5~10nmで変化させた結果を示す。Fin幅の増大と共に、ON領域の電流値が直線的に増大することを確認しており、これはFin高さと同様、トンネル接合の面積増大による効果と考えられる。しかし、ゲート電圧が小さなサブスレッショルド領域では、Fin幅増大に対し電流は小さくなることも確認された。これは、Fin幅増大によりサブスレッショルド・スイング係数 (S値) が小さく、OFF時の待機電力が小さなデバイスが可能であることを示す。現在、この現象の原因に関して検討中である。

4. まとめ

以上の結果から、薄いGate酸化膜、大きな幅および高さを有するFin-TFETにおいてON電流が増大可能であることがわかった。なお、実デバイスを設計する際には、絶縁破壊電界を考慮してゲート酸化膜厚を決定する必要がある。

謝辞

本研究の一部は東京大学大規模集積システム設計教育研究センターを通し、シノプシス株式会社の協力で行われたものである。

参考文献

- [1] 岩波悠太, 他: 日本大学理工学部学術講演会, M-1, 2017/12.
- [2] 呉研, 他: 日本大学理工学部学術講演会, C-1, 2016 /12.
- [3] IEEE TRANSACTIONS ON DEVICE AND MATERIALS RELIABILITY, VOL. 14, NO.2 2014/6

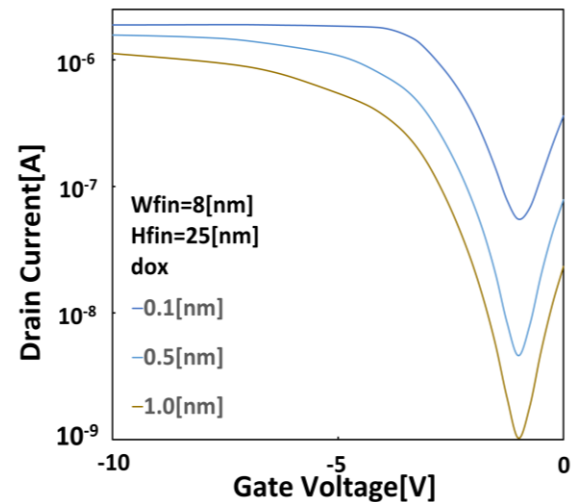


Fig.3. Oxide thickness dependence on ID - VG characteristic of Fin type T-FET.

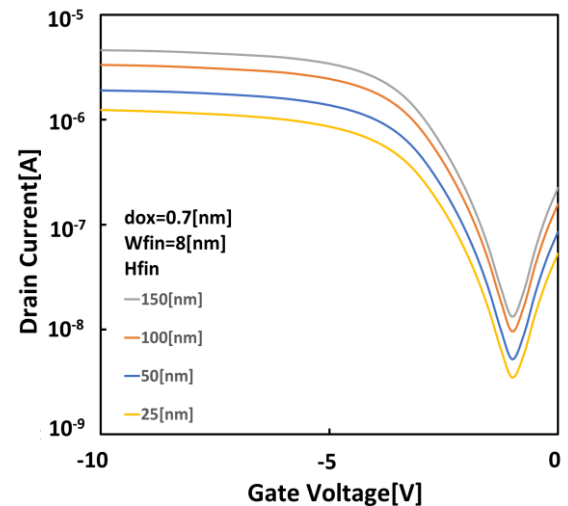


Fig.4. Fin height dependence on ID - VG characteristic of Fin type T-FET.

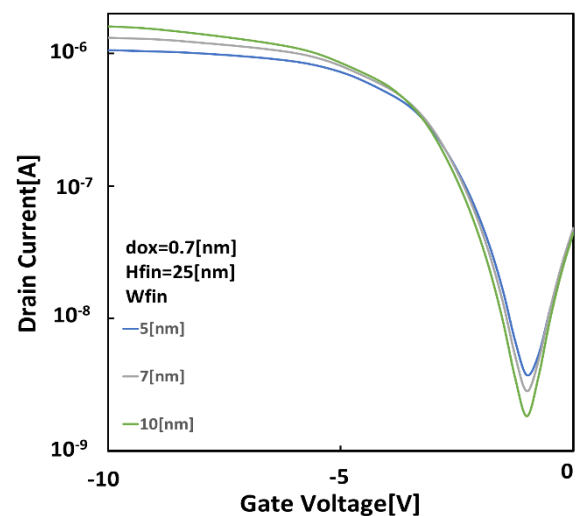


Fig. 5 Fin width dependence on ID - VG characteristic of Fin type T-FET.