

### 3層ハードウェアニューラルネットワークの一検討 Study on Three-layer Neural Network using Hardware Neural Networks

黒澤実花<sup>1</sup>, 佐々木拓郎<sup>1</sup>, 森下克幸<sup>1</sup>, 小原正也<sup>1</sup>, 武井裕樹<sup>2</sup>, 齊藤健<sup>3</sup>

\*Mika Kurosawa<sup>1</sup>, Takuro Sasaki<sup>1</sup>, Katuyuki Morishita<sup>1</sup>, Masaya Ohara<sup>1</sup>, Yuki Takei<sup>2</sup>, Ken Saito<sup>2</sup>

Abstract: The challenges of AI in embedded devices are power consumption and space. Hardware neural networks can be expected to reduce the power consumption of the circuit. The authors are studying hardware neural networks which control small sized robots. In this paper, we developed the three-layer hardware neural networks model for pattern recognition. Besides, we conducted the basic study of hardware neural networks compared to the software model neural network. As a result, the hardware neural networks produced this time was able to output the same result as the software model, but it was not fully reproduced.

#### 1. はじめに

現在, ディープラーニングをはじめとする AI は画像認識, 音声認識など様々な場所で活用されている. ディープラーニングを用いたシステムは, 2020 年の車の自動運転化に向けて大きく期待されている<sup>[1]</sup>. しかし, ディープラーニングはマシンスペックが足りない場合, 学習に数週間から数カ月の時間を要する. また推論時も大量の演算を処理するため CPU のみの推論の場合, 応答に数秒単位の時間がかかる. GPU を搭載したハードウェアで推論を行う場合, 消費電力やマシンの冷却スペースが大きくなり組み込み機器への搭載が実用的ではない.

一方, 生体の脳の一部を模倣したハードウェアニューラルネットワークはデバイス上で並列, 分散処理を行うことが可能である. そこで, 脳型処理システムとして工学的応用を目指した研究が行われている.

我々はハードウェアニューラルネットワークを用いてロボットを制御する研究を行っている<sup>[2]</sup>. 今回, ロボットの制御に使用しているニューラルネットワークを用いて, ソフトウェアモデルのニューラルネットワークを表現することを試みた.

本論文ではソフトウェアモデルで作製した 3 層のニューラルネットワークをハードウェアニューラルネットワークを用いて表現するための基礎検討を行った. また, 実際に 3 層のニューラルネットワークをハードウェアニューラルネットワークを用いて表現し, シミュレーションを行ったので報告する.

#### 2. ソフトウェアモデル

ソフトウェアモデルで構成した 3 層のニューラルネットワークを Figure 1 に示す. Figure 1 (a) に作製したソフトウェアモデルの概略図を示す. 入力層 5 個, 中間

層 5 個, 出力層 4 個とした. また, 活性化関数は中間層, 出力層ともにシグモイド関数を使用した. 図 1(b) に仮想的な入力の位置を示す. このモデルでは, すべてのマスに入力が無い場合は 0 の出力を, 縦 2 マスに 1 の入力が入る場合は 1 の出力を, 横 2 マスに 1 の入力が入る場合は 2 の出力を, すべてのマスに 1 の入力された場合は 3 の出力を出すように学習をさせた. Table 1 に構成したソフトウェアモデル学習結果を示す表中黄色部が出力が高い結果となった.

#### 3. ハードウェアニューラルネットワーク

Figure 2 に使用したハードウェアニューラルネットワークの回路図を示す. 細胞体モデルの回路図を Figure 2(a) に示す. 細胞体モデルはパルス波形を生成できる発振回路である. 電源電圧  $V_A$ , を変更することで自励振動モード, 他励振動モードを切り替えることが

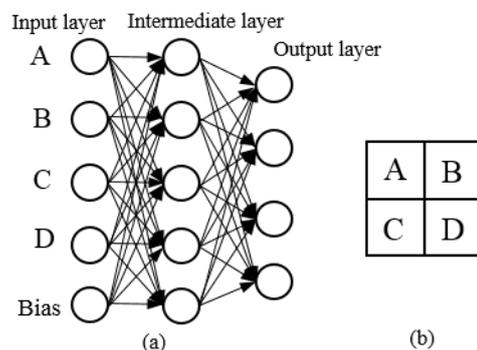


Figure 1. Constructed software model

Table 1. Result of constructed Software model

INPUT				RESULT			
A	B	C	D	0	1	2	3
0	0	0	0	0.99992	0.00009	0.00370	0.00000
0	1	0	1	0.00269	0.91750	0.14153	0.00199
1	1	0	0	0.04387	0.03026	0.83599	0.02930
1	1	1	1	0.00000	0.02713	0.00699	0.98981

1 : 日大理工・院 (前)・精機, 2 : 日大理工・院 (後)・精機, 3 : 日大理工・教員・精機

可能である. Figure 2(b)に興奮性シナプスモデルの回路図を示す. 結合強度電圧  $V_w$  を変更することで細胞体モデルの発振周波数を変更することができる.

Figure 3 に今回開発したハードウェアニューラルネットワークの接続図を示す. 入力層には自励振動モードの細胞体モデルと他励振動モードの細胞体モデルを興奮性シナプスモデルで接続した. 入力層に接続している興奮性シナプスモデルの結合強度電圧  $V_w$  を印加することで入力層への入力を表現した. 中間層および出力層には他励振動モードの細胞体モデルと興奮性シナプスモデルを用いた. 学習させたソフトウェアモデルの荷重係数をもとに, 中間層と出力層に接続する興奮性シナプスモデルの  $V_w$  を決定した. 開発したネットワークは入力層の  $V_w$  を印加することで, 対応する出力層の細胞体モデルの発振周波数が最も高くなるように設計した.

Table 2 にハードウェアニューラルネットワークの入力と出力結果のシミュレーション結果の表を示す. 各回路定数は MOSFET : W/L 比はそれぞれ  $M_{IS1}=1/10$ ,  $M_{IS2}=1/10$ ,  $M_{IS3}=1/10$ ,  $M_{IS4}=2/10$ , キャパシタ :  $C_{IS}=1$  [pF],  $C_G=20$ [pF],  $C_M=1$ [pF], 電圧源 :  $V_{DD}=3.0$  [V], 自励振動モ

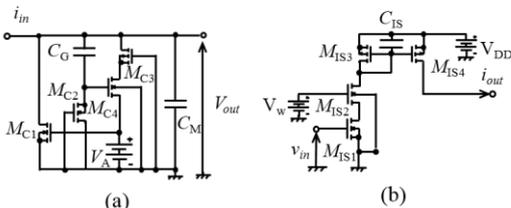
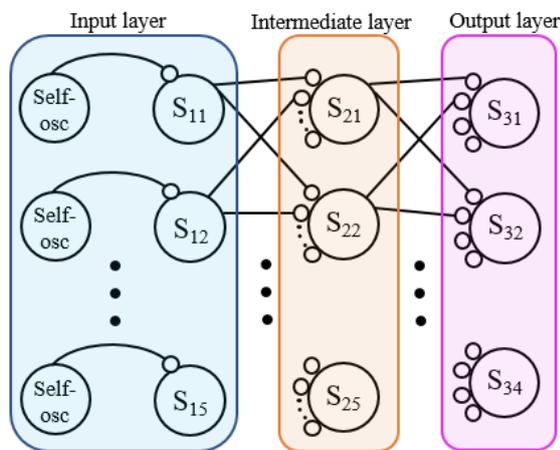


Figure 2. Circuit diagram of hardware neural networks



○ :Cell body model (self-excited oscillation or separately-excited oscillation)  
 ○— :Excitatory synaptic model

Figure 3. Connection diagram of hardware neural networks

Table 2. Simulation result of Hardware neural networks model result

INPUT				RESULT [f]			
A	B	C	D	0	1	2	3
0	0	0	0	121300	121000	121100	121000
0	1	0	1	121000	123600	121100	144000
1	1	0	0	129400	134200	131100	119900
1	1	1	1	131200	131900	136400	144700

ード  $V_A=2.5$  [V], 他励振動モード  $V_A=2.4$  [V]である. 入力層にあるすべての興奮性シナプスモデル  $V_w$  に電源を印加した場合と何も入力していない場合の出力は, 対応する出力の細胞モデルの周波数が一番高い. しかし縦 2 マス, 横 2 マスの入力では本来対応する出力の細胞モデルの発振周波数が一番高くはならなかった. 今回作製したハードウェアニューラルネットワークではソフトウェアモデルと同じような出力結果を得ることができなかった. しかし, 一部結果ではソフトウェアモデルと対応した出力の細胞モデルの発振周波数が高い. 興奮性シナプスモデルの回路定数を変更することでソフトウェアモデルに近い結果が得られる.

#### 4. 結論

ソフトウェアモデルで構成した 3 層のニューラルネットワークをハードウェアニューラルネットワークを用いて表現するための基礎検討を行った. 今回作製したハードウェアニューラルネットワークではソフトウェアモデルと一部同等の結果を出力することができたが完全な再現には至らなかった. 今後はハードウェアニューラルネットワークの構成を改良していく予定である.

#### 5. 参考文献

- [1] 青木 啓二: 「自動運転車の開発動向と技術課題: 2020 年の自動化実現を目指して」, 情報管理, Vol60, No4, pp229-239, 2017
- [2] M. Ohara, M Kurosawa, T Sasaki et al., "Development of Hardware Neural Networks IC with Switchable Gait Pattern for Insect-Type Microrobot," 2019 IEEE/SICE International Symposium on System Integration (SII), Paris, France, pp. 663-668, 2019.