

トンネル FET における  $I_D$ - $V_D$  立ち上がり特性改善に関する検討A Study on Improvement of Rising Slope of  $I_D$ - $V_D$  Characteristics in Tunnel FET○三田 梓郎<sup>1</sup>, 山口直弥<sup>1</sup>, 呉研<sup>2</sup>, 高橋芳浩<sup>2</sup>\* Shiro Mita<sup>1</sup>, Naoya Yamaguchi<sup>1</sup>, Yan Wu<sup>2</sup>, Yoshihiro Takahashi<sup>2</sup>

Abstract: In CMOS circuits using tunnel FETs (TFETs), longer time is required for switching operation than conventional MOSFET circuits. This is caused by the gentle slope of  $I_D$ - $V_D$  characteristics of tunnel FETs at low applied voltage. In this study, we discuss the solution of this phenomenon based on the operating mechanism of TFETs compared to conventional MOSFETs.

## 1. 序論

PCやスマートフォンの急速な発展はLSIの高集積化によって進められてきた。高集積化が進んだLSIにおいては電源電圧の増加による消費電力の増大が問題となってくる。また近年普及が進んでいるIoTデバイスにおいても、設置性や環境発電による微弱電力での動作が求められている。しかし現在ロジックCMOS LSIに用いられるMOSFETでは、これ以上電源電圧を下げることは困難である。原因の一つとして、S.S (Subthreshold slope)値が室温において、60 mV/dec.という原理的な限界をもつためであり、これはソース端の電子がボルツマン分布することによって決まるためである。オフ状態の電流値を上げずに電源電圧・しきい値電圧を下げるためにはS.S値が小さい、すなわちオフ状態から急峻な立ち上がりを持ってオン状態へと移行できるSteep-slope transistorの実現が求められている。数多く研究が進められている中でも、MOSFETに作製工程が近いという特徴を持つトンネルFET (TFET)について我々は注目し、駆動電流を向上する手法について報告を行った[1]。しかし、従来のMOSFETに比べ $I_D$ - $V_D$ 特性の立ち上がりが鈍ることにより、CMOS回路を構成した場合スイッチング速度は低くなることから、立ち上がり特性の改善は非常に重要であることも報告してきた[2]。本研究では、 $I_D$ - $V_D$ 特性の立ち上がり時について、TFETと通常型MOSFETと動作メカニズムを比較した。さらにTFETにおけるソース端のチャンネルポテンシャルの変化を従来型MOSFET程度まで抑えられるよう、 $V_G$ によりソース端のポテンシャルをより固定化されることを狙い、従来型MOSFETでも用いられる性能向上手法であるDouble-Gate構造の導入について検討した。

## 2. デバイスシミュレーション

Figure. 1の(a)から(c)に計算モデルを示す。通常型MOSFETとの動作メカニズムの比較のためデバイス寸法および各部の不純物は同一とした (Table. 1)。なお、ソース部は通常型ではn型、TFETではp型と設定した。

Table 1. Doping concentration at each region in the device models

Source不純物濃度 $N_S$	Body不純物濃度 $N_B$	Drain不純物濃度 $N_D$
$1 \times 10^{20} \text{ cm}^{-3}$	$1 \times 10^{17} \text{ cm}^{-3}$	$1 \times 10^{20} \text{ cm}^{-3}$

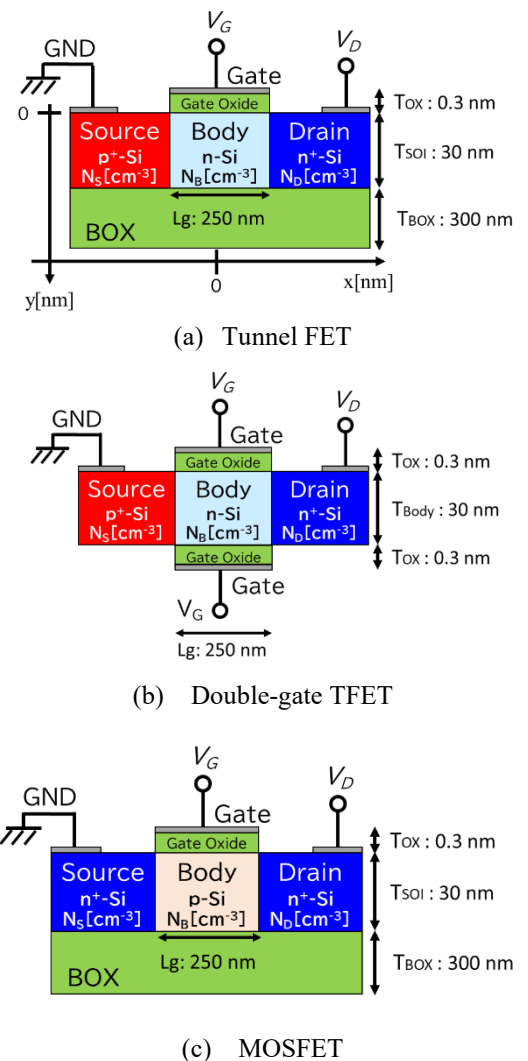


Figure 1. Device model using in simulation

3. 結果・考察

Figure 2に従来型MOSFET及びTFETの $I_D$ - $V_D$ 特性を $V_D=3V$ でのドレイン電流で正規化した結果を示す. ここで,  $V_D=1V$ までの線形領域では, TFETは従来型MOSFETに比べ $I_D$ - $V_D$ 特性の立ち上がり変化が緩やかであることが確認できる.

そこで,  $V_D$ の変化に対するチャネル電位の変化について評価するために, Fig.3 (a)および(b)に従来型MOSFETおよびTFETにおけるチャネル領域( $y = 1 \text{ nm}$ )における禁制帯最大エネルギー( $E_c$ )を示す. チャネル領域は  $|x| \leq 125 \text{ nm}$ の範囲である. 結果より, 従来型MOSFETでは Source端( $x = -125 \text{ nm}$ )のチャネルポテンシャルは大きく変化せず( $V_G$ によって決定), Drain側のポテンシャルのみが $V_D$ により大きく変化していることがわかる. 一方, TFETでは $V_D$ によりチャネル領域全体のポテンシャルが変化することがわかった. このチャネル内の電界分布の差異が $I_D$ - $V_D$ 立ち上がり特性に影響を及ぼしているものと示唆される. また, Double-Gate構造を導入した場合でもBody部のエネルギーバンドを固定することは出来なかった. これは, TFETではボディ領域全体のポテンシャルが $V_D$ により大きく変動するため, チャネルポテンシャルも $V_D$ により支配されることが原因であると考えている. この考察を確認するため, Fig.4 (a)に従来型MOSFET及び(b)にTFETとDouble-gate TFETのSource-Channel接合面近傍( $x = -120 \text{ nm}$ )をY軸方向に見たバンド図を示す. 従来型MOSFETでは,  $V_D$ の変化によってポテンシャルの変化は $0.1\text{eV}$ 程度に留まっているが, TFETではDouble-gate構造を用いても,  $V_D=0 \text{ V}$ 時において $1.5 \text{ eV}$ ほどポテンシャルが上昇している. これによってゲート電圧制御が失われ,  $V_D=0 \text{ V}$ 時においてトランジスタがOFF状態であることが示唆された.

4. まとめ

トンネルFETの $I_D$ - $V_D$ 特性の緩やかな立ち上がり特性について, 通常型MOSFETと動作メカニズムを比較することにより検討した. その結果, TFETではチャネル部のポテンシャルがGate電圧によって制御されず, Drain電圧により支配されることが原因であることを確認した. さらに, Gate電圧によるチャネルポテンシャルの固定化を目的にDouble-Gate構造の導入についても検討したが, 根本的な改善効果は得られなかった. 今後は, 他の構造パラメータ依存性についても検討し, 本現象の解明及び特性向上を目指す.

謝辞

本研究の一部は東京大学大規模集積システム設計教育研究センターを通し, シノプシス株式会社の協力で行われたものである.

参考文献

- [1] Y.Wu , 他 : International Workshop on Junction Technology (IWJT) P. 83 -84, 2017
- [2] 吳研, 他 : 「トンネルFETベースCMOS回路のシングルイベント耐性」, 第64回 応用物理学会春季学術講演会 16p-E206-16

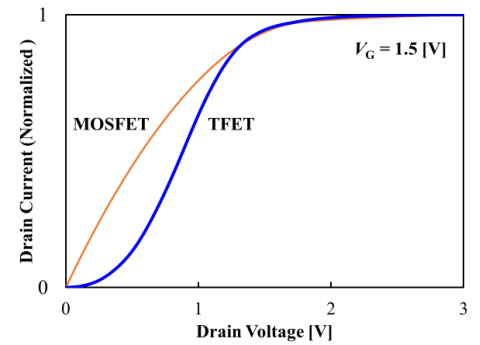
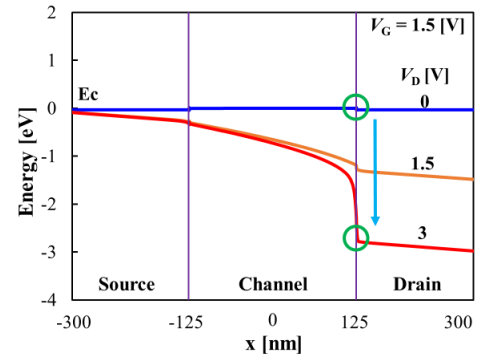
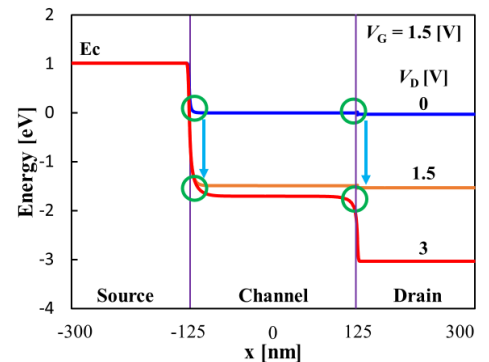


Figure 2.  $I_D$ - $V_D$  characteristics in TFET and MOSFET.  $I_D$  is normalized by the value at  $V_D=3V$ .



(a) MOSFET



(b) TFET and Double-Gate TFET

Figure 3. Top energy of forbidden-gap ( $E_c$ ) in channel region ( $y = 1 \text{ nm}$ ).

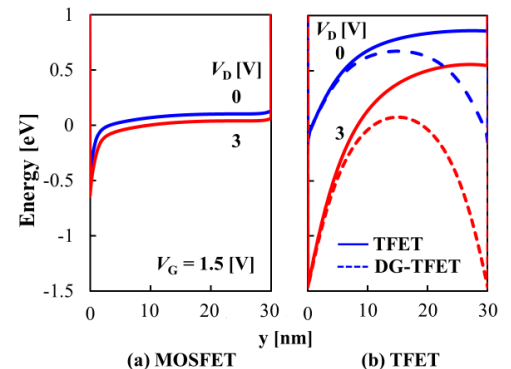


Figure 4. Top energy of forbidden-gap ( $E_c$ ) in the vicinity of the Source-Channel junction ( $x = -120 \text{ nm}$ )