

## ヘテロ接合 TFET を用いた CMOS 回路に関する検討

A study on the CMOS Circuits using Hetero-junction Tunnel FETs

○山口直弥<sup>1</sup>, 三田梓郎<sup>1</sup>, 呉研<sup>2</sup>, 高橋芳浩<sup>2</sup>\* Naoya Yamaguchi<sup>1</sup>, Shiro Mita<sup>1</sup>, Yan Wu<sup>2</sup>, Yoshihiro Takahashi<sup>2</sup>

Abstract: Switching characteristics of CMOS circuitry by heterojunction TFETs are investigated by simulation. The simulation results show that heterojunction TFETs with high drive current improve the switching performance compared to Si homojunction TFETs.

## 1. 序論

近年の半導体デバイスには低消費電力化が求められている。従来の MOSFET (Metal Oxide Semiconductor Field Effect Transistor) では、キャリア注入が拡散によるため原理的に  $S$  値を  $60 \text{ mV/dec}$  以下にすることは出来ないため、電源電圧の低減に伴い、待機時のリーク電流が増加し、消費電力が増大する。よって、更なる低消費電力化には急峻な立ち上がり特性を有するデバイスが必要となっている。その有力候補の一つが TFET (Tunnel FET) である (Fig.1)。TFET は従来の MOSFET とは異なり、Source, Drain に異なる不純物原子を導入することでデバイスが形成され、Gate 電圧印加により Source から Body へキャリアをトンネル効果により注入することにより動作する。このため、 $60 \text{ mV/dec}$  以下の  $S$  値が達成でき、待機時の低消費電力化が可能となる。しかし、トンネル効果を利用しているため、Source- Body 間のトンネル障壁により大きな ON 電流が得られないという問題がある。一方 Fig. 2 に示すように、Source に Si に対して正方向のポテンシャルオフセットを持つ  $\text{Mg}_2\text{Si}$  を用いることにより、ON 電流が増大することが報告されている [1][2]。そこで本研究では、 $\text{Mg}_2\text{Si}$  の導入が TFET-CMOS 回路の入出力特性およびスイッチング特性に及ぼす影響について、デバイスシミュレーションを用いて検討した。

## 2. デバイスシミュレーション

Figure 1 のように、チャネル長  $250 \text{ nm}$ 、ゲート酸化膜厚  $3 \text{ nm}$ 、SOI 層厚  $100 \text{ nm}$ 、BOX 層厚  $300 \text{ nm}$  として n-TFET デバイスモデルを構築した。なお各領域の不純物濃度は Source:  $1 \times 10^{20} \text{ cm}^{-3}$ 、Body:  $1 \times 10^{17} \text{ cm}^{-3}$ 、Drain:  $1 \times 10^{20} \text{ cm}^{-3}$  とした。Fig. 3 に検討を行った CMOS インバータを示す。今回は、p-TFET の Source-Body 接合は Si ホモ接合とし、n-TFET の接合を  $\text{Mg}_2\text{Si}/\text{Si}$  ヘテロ接合および Si ホモ接合とした時について評価した。また、CMOS の安定動作させるために、 $V_{ds} = 0.75 \text{ V}$ 、 $V_{gs} = 1.5 \text{ V}$  印加時の電流を p-TFET のチャネル幅を調整し、p-FET と n-FET の駆動電流を一致させた。

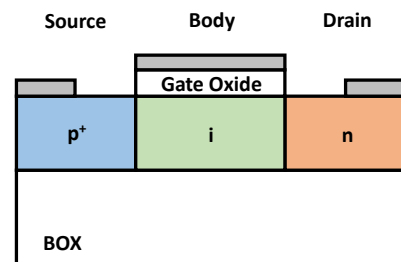


Fig. 1. n-type tunnel FET structure

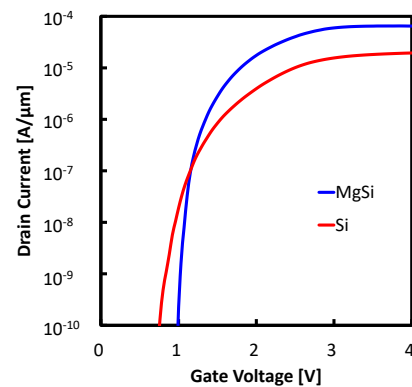


Fig. 2. Subthreshold characteristics of each TFET.

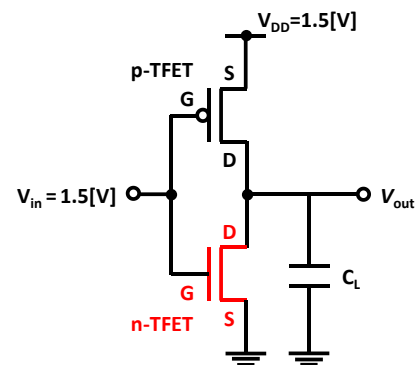


Fig. 3. CMOS inverter circuit

各デバイスのしきい値電圧を  $V_{in} = -V_{tp} = 0.375V$  ( $V_{DD}/4$ ) とするためにゲート電極の仕事関数差を調整した. なお,  $V_{DD}=1.5V$ ,  $V_{in}=0$  or  $1.5V$ ,  $C_L=4.635$  fF( $2 \times C_g$ )における入出力特性, スイッチング特性を計算し比較を行った.

### 3. 結果・考察

Figure 4にSiホモ接合,  $Mg_2Si/Si$ ヘテロ接合を用いたTFET-CMOS回路におけるインバータの入出力特性および回路電流を示す. 結果より, ヘテロ接合の導入により  $I_{out}$ のピーク値がホモ接合の約20倍になることがわかった. これはヘテロ接合によってトンネル抵抗が低減できたことが原因であると考えられる.

Figure 5に  $V_{in}$ を0Vから1.5Vに変化させた際の実出力電圧の変化(スイッチング特性)を示す. 両デバイスにおいて, 入力電圧変化直後に, 出力電圧が瞬間的に電源電圧以上に変化することが見て取れる. これはTFET特有の現象であり, ON電流が小さい事で充放電が遅くなること, Source/Drainに対するGate全容量  $C_{gg}$  中の  $C_{gs}$ 及び  $C_{gd}$ の分布が原因であると報告されている[3]. なお, この瞬間的な電位変化はヘテロ接合では抑えられており, これは寄生容量  $C_{gs}$ の増大, 及び  $C_L$ の容量に起因しているものと考えられる[4][5]. 計算結果から出力が電源電圧の50%に変化するまでの時間をスイッチング時間  $\tau_d$ と定義すると, ヘテロ接合では40 ns, ホモ接合では108 nsと, ヘテロ接合の導入により1/2以下に改善可能であることを確認した.

### 4. まとめ

Source-Body接合に  $Mg_2Si/Si$ ヘテロ接合およびSi/Siホモ接合を用いたn-TFETによるCMOSインバータの入出力特性, スイッチング特性を評価した. その結果,  $Mg_2Si/Si$ ヘテロ接合を用いることにより, スイッチング時の電流は約20倍に, スイッチング時間は1/2以下にすることが可能であることを確認した. また, スイッチング時に生じる特異な出力電圧変動もヘテロ接合により減少できることがわかった. 今後, Sourceに  $\beta-Fe_2Si$ を用いたp型ヘテロ接合TFETと  $Mg_2Si$ を用いたn型ヘテロ接合TFETによるCMOS回路の入出力特性, スイッチング特性について評価する予定である.

### 謝辞

本研究の一部は東京大学大規模集積システム設計教育研究センターを通し, シノプシス株式会社の協力で行われたものである.

### 参考文献

- [1] 唐鎌亮太, 他: 平成30年度応用物理学会, 20a-PA4-7, 2018.9
- [2] Y.Wu, 他: International Workshop on Junction Technology (IWJT) P. 83 -84, 2017
- [3] Y. Morita, 他: Japanese Journal of Applied Physics 56 (2017) 04CD19
- [4] K. Fukuda, 他: Journal of Applied Physics 114, 144512 (2013)
- [5] Saurabh Mookerjee, 他: IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. 56, NO. 9, SEPTEMBER 2009

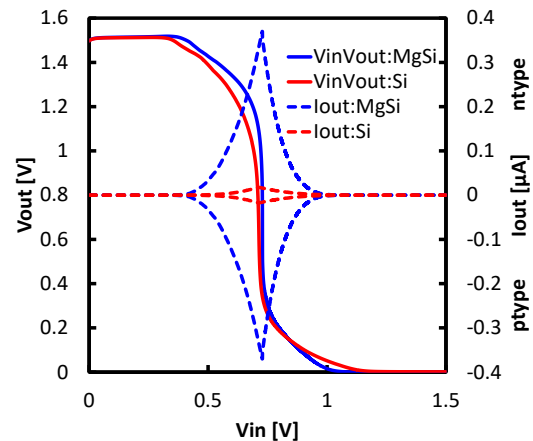


Fig. 4.  $V_{in}$ - $V_{out}$  characteristic with CMOS circuits

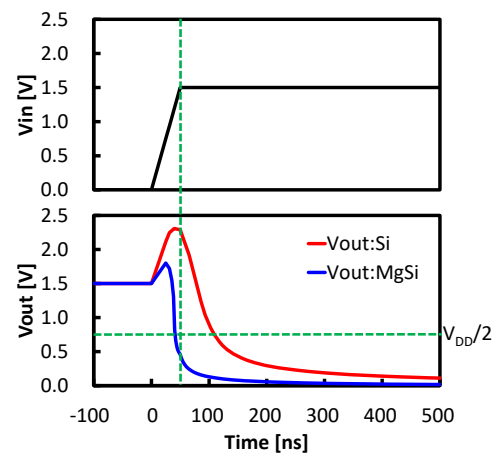


Fig. 5. Switching characteristics with CMOS circuits