

C-1

低温酸化処理による SiO₂ 膜の電氣的ストレス耐性向上Improvement of Electrical Stress Resistance of SiO₂ film by Low-Temperature Oxidation Treatment○足利佳治¹, 高橋芳浩²*Yoshiharu Ashikaga¹, Yoshihiro Takahashi²

Abstract: The influence of oxidation temperature on TDDB characteristics of MOS structure was investigated. It was confirmed that the time for dielectric breakdown by electrical stress could be improved by decreasing process temperature during oxidation.

1. 序論

宇宙空間などの放射線環境において MOSFET を使用すると、電離放射線の吸収線量増大と共に酸化膜中の電荷トラップ密度や界面準位密度が増加することにより、しきい値電圧の変動、相互コンダクタンスの低下、酸化膜リーク電流 (Radiation Induced Leakage Current: RILC) の増大が生じる。トータルドーズ効果の耐性向上手法として、酸化膜中への窒素やフッ素の添加 [1, 2], 低温酸化プロセスの適用 [3]などが報告されている。中でも低温酸化は、他に比べて単純なプロセスで大きな効果が得られている。一方、リーク電流の増大は電氣的ストレスによっても引き起こされ (Stress Induced Leakage Current: SILC), RILC と SILC の特性は類似していること、また SILC が小さい酸化膜は長期信頼性に優れる (絶縁破壊に至る時間が長い) ことなどが知られている。すなわち、耐放射線性に優れた酸化膜は、地上でも長期信頼性に優れた酸化膜である可能性が高いと考えた。特に、膜厚数 10nm 程度の比較的厚い酸化膜を有するパワー半導体では低いリーク電流および長期信頼性が求められている。

そこで本研究では、低温酸化が比較的厚い酸化膜の長期信頼性に及ぼす影響に着目した。ただし、低温酸化により厚い酸化膜を成膜するためには非常に長時間が必要となる。そこで我々は、高温酸化により比較的厚い酸化膜を形成後、酸化温度を低下させるプロセスが、長期信頼性に及ぼす効果について評価した。

2. 実験方法

抵抗率 0.8~1.2Ωcm, 面方位<100>, 12mm 四方の n-Si 基板を RCA 洗浄後, Table 1 に示す 2 つの酸化条件で乾燥酸化を行った。条件 1 では 1000°C, 30min の酸化後, 窒素中で 30min の熱処理を行った。条件 2 では 1000°C, 25min の酸化後, 800°C で長時間の低温酸化を行なうことにより条件 1 と同程度の膜厚とし, その後, 同温度の窒素中で熱処理を行った。酸化膜成長後, 真空蒸着法により直径 300μm の Al ゲート電極を形成し MOS 構造を作製した。各試料に対して電流-電圧特性測定, および定電流の条件で絶縁破壊に至る時間を測定することにより, 長期信頼性について評価した。

Table 1. Oxidation and annealing conditions

Process condition	Oxidation condition	Annealing conditions
#1	1000°C/30min	1000°C/30min
#2	1000°C/25min, 800°C/2h	800°C/30min

3. 結果・考察

エリプソメータにより酸化膜厚を測定した結果, どちらの条件でも 38~41nm であることを確認した。

Fig. 1 に, 各酸化条件で成膜した MOS 構造のリーク電流特性を示す。なお, 半導体表面が蓄積状態となるよう, 基板に対してゲートに正電圧を印加した。結果より酸化温度の低温化により, 低電界領域でのリーク電流密度が 1 桁程度増大することがわかった。なお, 約 6MV/cm 以上の電界における電流の増大は FN トンネル電流によるものである。また, ストレス電流を 70μA/cm² (8MV/cm に対応した電流) と設定した。

1: 日大理工・院・電子 2: 日大理工・教員・電子

Fig. 2 に、各試料における定電流ストレス時間に対するゲート電圧の変化を示す。全試料において、ストレス時間と共に印加電圧が増大することが分かる。これは、Si から注入された電子の一部が絶縁膜中に蓄積されたことにより界面近傍の電界が減少し、同じ電流を流すために必要な電圧が増大したことによるものである。なお、ゲート電圧の急激な減少は絶縁破壊を意味しており、この状態に至る時間を絶縁破壊時間と定義した。

Fig. 3 に各条件で製膜した酸化膜の絶縁破壊時間分布を示す。横軸は絶縁破壊時間、縦軸はその破壊時間以内で破壊したデバイスの割合を示している。条件1の結果に比べて、条件2の結果は右側（長時間側）にシフトしており、絶縁破壊時間が2倍以上に改善したことを示す。これより、酸化膜成膜中の酸化温度の低下により、電氣的ストレス耐性が大きく向上可能であることを確認した。しかし、条件2のプロットの傾きは条件1より小さくなっていることがわかる。これは絶縁破壊時間の「ばらつき」が大きいことを意味するものである。

この絶縁破壊時間のばらつきは、素子作製直後におけるリーク電流特性の試料間でのばらつきが原因ではないかと考え、各素子におけるリーク電流特性と絶縁破壊時間の相関について検討した。Fig. 4 に、条件2で作製した試料における、絶縁試験前のリーク電流特性、および対応する絶縁破壊時間を示す。結果より、低電界領域からFNトンネル領域に遷移する6MV/cm程度の電界におけるリーク電流が低いグループ①と、高いグループ②の2種類の試料に分類されることを確認した。更に、グループ②の試料において長い絶縁破壊時間が観測されることがわかった。なお、その理由に関しては現在検討中である。

4. まとめ

酸化温度の変化が酸化膜の長期信頼性に及ぼす影響について検討した。その結果、酸化途中の温度低下により絶縁破壊時間が2倍程度増大可能であることを確認した。今後、電氣的ストレス耐性向上に向けた酸化条件の最適化を目指すと共に、耐性が向上する要因についても検討する。

5. 参考文献

[1] F.L. Terry, Jr. et. al. IEEE EDL-4, No.6, p.191, 1983.
 [2] J.R. Cricchi et. al. Appl. Phys. Lett., Vol.19, No.3, p.49, 1971.
 [3] 井上正範 他, 応用物理学会シリコンテクノロジー, No.170, p.20, 2014.3.

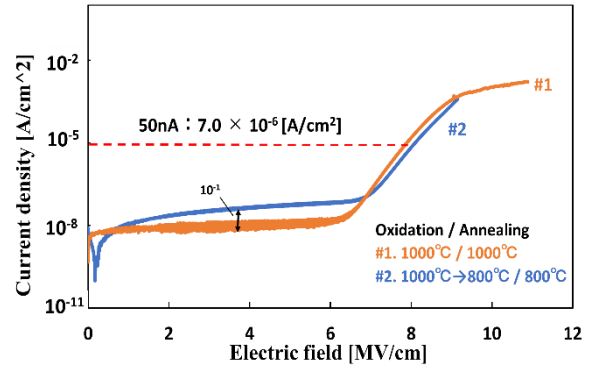


Figure 1. Leakage current of MOS structures fabricated by condition #1 and #2.

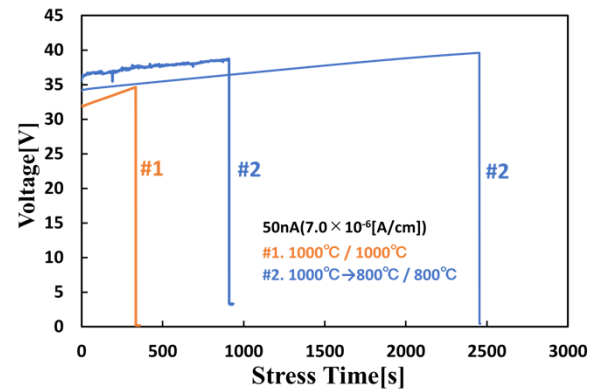


Figure 2. Applied voltage under constant current TDDDB tests at 50nA.

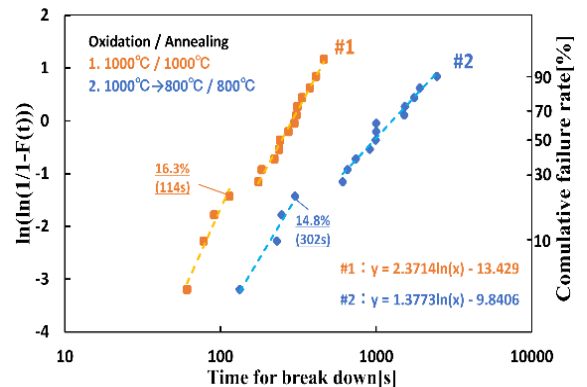


Figure 3. Dispersion of dielectric breakdown time (process condition #1 and #2).

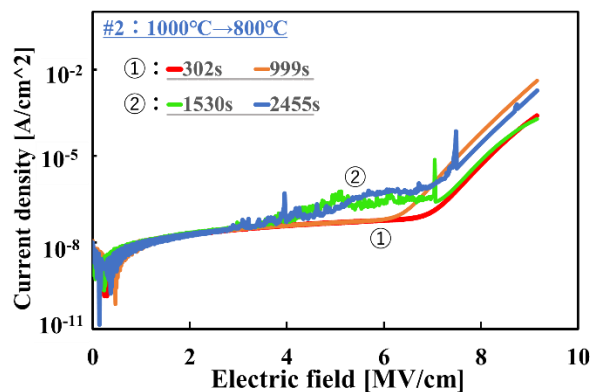


Figure 4. Leakage current of MOS structures fabricated by condition #2.