

差電圧制御による双方向昇降圧アクティブバランス回路の一検討

A Study on a Bidirectional Buck-Boost Active Balancer with Differential Voltage Control

○島田祐作¹, 佐々木芳樹²
Yusaku Shimada¹, Yoshiki Sasaki²

Abstract : Series-connected cells often face voltage imbalance, reducing efficiency and lifetime. Passive balancing is simple but wastes energy as heat, while active balancing can transfer charge more efficiently. This study examines a bidirectional buck-boost active balancer for three capacitors in series. MOSFET conduction time is set by the magnitude of the differential voltage, and its polarity determines transfer direction. The goal is efficient voltage equalization with minimal energy loss.

1. まえがき

近年、再生エネルギーの普及に伴い、電気二重層キャパシタをはじめとする大電流充放電可能な二次電池の需要が急速に拡大している。しかし、直列接続したセルは、同一ロットを用いた場合においても容量値や漏れ電流の大きさが異なるため、充放電の繰り返しとともに電圧不均衡が生じる[1]。

この問題を解決する方法として、アクティブバランス方式は、電圧差の正負に応じて双方向に電荷を移動できる点が有効であると報告されているが、大容量のコンデンサを対象とした検討は多くない[2]。

本稿では、大容量コンデンサを直列に接続した系を対象とした双方向昇降圧アクティブバランス回路を提案する。また、提案回路の過渡特性について検討を行ったので報告する。

2. 本論

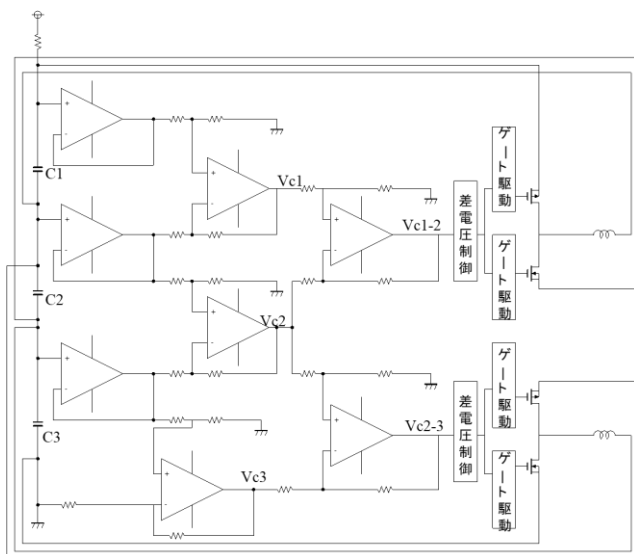


図1 回路構成

図1に、本稿で提案する回路構成を示す。本回路は直列接続した3つのコンデンサ間の電圧差を検出し、その差に応じて電荷を双方向に移動させ、電圧バランスをとることを目的としている。同図において、エネルギーソースとして3つのコンデンサ(C1, C2, C3)に対して直流電源を印加した。また、差動増幅回路を用いることで3つのコンデンサの各端子 (Vc1, Vc2, Vc3) の対地電圧を検出する構成とした。また各コンデンサの両端電圧の検出方法として、コンデンサの各端子から取得した対地電圧を差動増幅回路により隣接するコンデンサと比較することで差電圧(Vc1-2, Vc2-3)を検出している。差電圧に応じてゲート駆動ブロックの出力信号を制御をすることで、双方向昇降圧アクティブバランス回路のMOSFETをスイッチとしてON/OFFし、高電圧側セルからMOSFETを通じてインダクタを通過させる。その後、スイッチの切り替えによってインダクタのエネルギーを低電圧側のセルへ放出する。電圧差が逆の場合は動作方向が逆転し、低電圧側から高電圧側へ電荷を移動することができる。差電圧制御とゲート駆動にMOSFETの導通時間及び、導通するMOSFETを切り替える役割を担う。方針として、隣接するセル間の差電圧が大きいほど移動する電荷の量を多くし、小さいほど少なくできるようにMOSFETの導通時間を差電圧によって決める。また、MOSFETを導通させる順番によって、電荷を移動する方向が決まるため、差電圧の正負によって導通させるMOSFETの順番を決める必要がある。ゲート駆動は差電圧制御部分で制御した信号をMOSFETのゲート電圧として入力する部分である。現段階では具体的な回路構成は決定していないため、今回はブロック図で示したが、以上の要件を満たす導通させるMOSFETを切り替える制御信号を今後詳細に設計する必要がある。

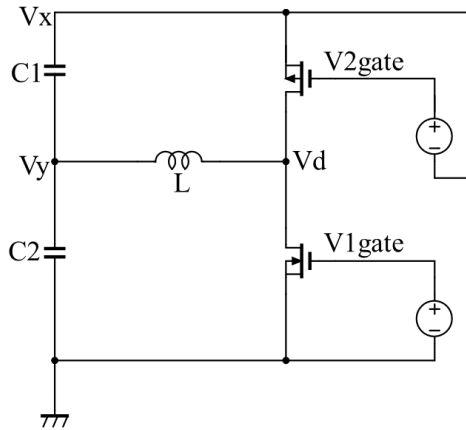


図2 昇降圧型アクティブバランス回路

図2に、昇降圧型のアクティブバランス回路の動作確認用回路構成を示す。同図は、簡略化のため2個のコンデンサとした。

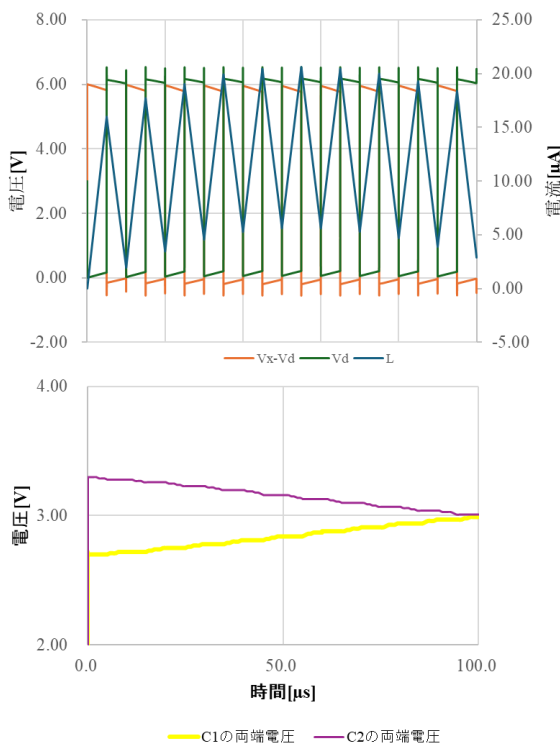


図3 昇降圧型アクティブバランス回路結果

図3に、図2のシミュレーション結果を示す。同図においては横軸は時間、第一縦軸は電圧を、第二縦軸は電流を示す。また、同図の赤線はPMOSのソース-ドレイン電圧を、緑線はNMOSのソース-ドレイン電圧を、青線はインダクタ電流を、黄線はC1の両端電圧を、紫線はC2の両端電圧を示す。なお、C1とC2はそれぞれ同様の静電容量2nFとした。提案回路による

balancingを確認するため、C1には3.3V、C2には2.7Vと異なる初期電圧を与えている。また、PMOSのゲート電圧をV2gateとし、立ち上がり/立ち下がり時間20ns、パルス幅4.95μs、周期10μs、遅延時間5μsの0→-5Vのパルス波を印加した。NMOSのゲート電圧はV1gateとし、立ち上がり/立ち下がり時間20ns、パルス幅4.95μs、周期10μsのパルス波を印加した。まず、NMOSのゲート-ソース電圧に5Vが印加されるため、NMOSのソース-ドレイン間が導通する。その結果、Vyの電位によりLに電流が流れ、磁気エネルギーが蓄積され、C2の両端電圧がわずかに下降する。その後、PMOSのゲート-ソース電圧-5Vが印加されるため、PMOSのソース-ドレイン間が導通する。このとき、先ほど蓄積されたLのエネルギーがC1側に放出されることによりC1の両端電圧がわずかに上昇する。この一連の流れを繰り返すことでコンデンサの両端電圧のバランスをとることができる。同図が示すとおり、Vdが0V付近の値であるときはインダクタ電流が増加し、Vx-Vdが0V付近の値であるときはインダクタ電流が減少していることが確認された。また、3.3VであったC1の両端電圧は100μs後に3.008V、2.7VであったC2の両端電圧は100μs後に2.993Vに収束する。このことから、適切にbalancingが行われたことが分かる。

3. まとめ

本研究では、直列接続した複数セルの電圧差を差動増幅回路で検出し、昇降圧型のアクティブバランス回路によってエネルギーを移動させる基本動作について検討を行った。その結果、電圧値が初期電圧に0.6Vの電位差を与えた状態においても、100μs後には約0.015Vの電位差に収束することから、実際にbalancingを行えることを明らかにした。今後は、実際の損失要素を含めたモデル化や制御信号の詳細設計について検討を行う予定である。

4. 参考文献

[1] 佐藤大記, 星伸一, 内田晃介: 「LC直列回路方式セル電圧均衡化における蓄電セル電圧の大小関係推定を利用した均等化時間低減法」, 電気学会論文誌 D(産業応用部門誌), Vol.139, No.6, pp.563-573, 2018

[2] Monolithic Power Systems: “Active Balancing: How it Works and Its Advantages”. Monolithic Power Systems 公式サイト, <https://www.monolithicpower.com/en/learning/resources/active-balancing-how-it-works-and-its-advantages> (参照日:2025年8月18日) 2020.