

リザーバー層のニューラルネットワークに用いる伝搬遅延回路に対する一検討

A Study on Propagation Delay Circuits for Neural Networks in Reservoir Layers

○安井玖¹, 米川尊², 山口拓人³, 佐伯勝敏³*Kyu Yasui¹, Takeru Yonekawa², Takuto Yamaguchi³, Katsutoshi Saeki³

Abstract: To expand the memory capacity of physical reservoir computing using the Pulse-type Hardware Chaos Neuron Models (P-HCNMs) for storing past input information, we demonstrate that propagation delays can be generated using switched capacitors without waveform shaping of an axon model.

1. まえがき

リカレントニューラルネットワークモデルから派生して、高速機械学習に適した計算の枠組みとしてリザーバーコンピューティングという概念がある^[1]。リカレントニューラルネットワークでは勾配法に基づいてネットワーク内のすべての結合荷重を学習している。しかし、リザーバーコンピューティングはネットワーク内の一部の結合荷重のみを学習アルゴリズムによって調整している。高計算性能と低学習コストの両立を目指している機械学習手法である。

先行研究にて、単一でカオス応答を示すことが可能なパルス形ハードウェアカオスニューロンモデル (P-HCNM) を用いたリザーバーコンピューティングにおいて、短期記憶性を有することが示されている^[2]。リザーバー層では、軸索-シナプスモデルを用いて、P-HCNM 同士を接続し、情報の伝搬を行っている。軸索モデルは伝搬遅延の性質を有し、その性質は短期記憶性を有するために必要な性質と考えられる。しかし、軸索モデルは波形整形を行っており、後段の P-HCNM に前段の発火波形の情報を伝搬できていないことが考えられる。

そこで、今回は波形整形をしている軸索モデルを使用しないリザーバーコンピューティングを構築するために、スイッチト・キャパシタを使用した波形整形をせず、伝搬遅延を有する P-HCNM 間の能動線路に対する検討を行った。

2. 本論

図1に使用する10段のバタフライ型のスイッチト・キャパシタの回路図を示す。スイッチト・キャパシタ回路はキャパシタの両端にある2種類のMOSスイッチをクロックで切り替えながら電荷を転送する^[3]。波形をアナログ的に正確に遅延する目的でスイッチト・キャパシタ回路を使用した。バタフライ型は接地側のスイッチを同位相で切り替える方式。回路内のNMOS

の素子値は $L=180\text{nm}$, $W=220\text{nm}$, キャパシタ C_c は 500fF を用いた。クロックのパルスは High を “1”, Low を “0” と表すと、クロック①~⑩を1段目のクロック①→111111110, クロック②→00000001, 2段目のクロック③→011111111, クロック④→10000000 のように上下のクロックが重ならないように8つのbitを1段ごとに1ずつずらして伝搬遅延が可能となる。図1は8段目でクロック⑩, ⑪を使用しており、一周して9段目と10段目はクロック①~④を使用している。

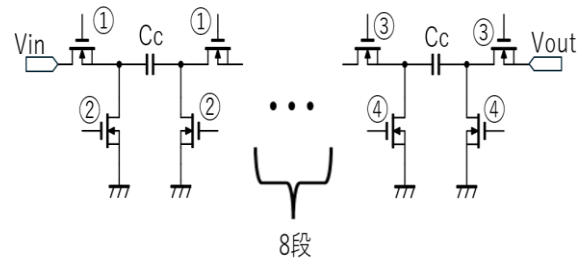


図1 10段のバタフライ型のスイッチト・キャパシタ回路図

図2にスイッチト・キャパシタ回路を用いた伝搬遅延回路のブロック図を示す。伝搬遅延回路を10段つないで伝搬遅延を作り出す。スイッチト・キャパシタ回路がP-HCNMから電荷を引き抜いて発火を崩さないように、回路的に分離するために、ボルテージフォロワを用いる。同じように伝搬遅延回路を10段つなげる際も、正しく増幅できるように非反転増幅器の後にボルテージフォロワで回路的に分離する。ボルテージフォロワのオペアンプは広範囲の入力電圧で動作するように、折り返しカスコード型差動増幅回路を用いて設計した。^[3] オペアンプは電源電圧は3.3V, 低域・中域での利得は約35dB, ユニティゲイン周波数は約180MHz, 位相余裕は約60度, 利得余裕は約45dBのものを使用した。非反転増幅器はスイッチト・キャパシタ回路10段で減衰してしまった電圧を戻すために用いる。増幅器では約21倍の増幅倍率を用いた。

1 : 日大理工・学部 電子工学科・電子工学専攻 2 : 日大理工・院 (前) 電子工学科・電子工学専攻
3 : 日大理工・教員 電子工学科・電子工学専攻

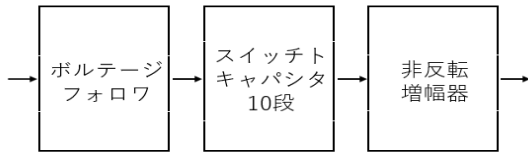


図2 スイッチト・キャパシタ回路を用いた伝搬遅延回路のブロック図

図3に入力パルス電流とそれに対するP-HCNMの発火を示す。P-HCNMへのパルス電流は duty 比 25%, 3.5MHz, 振幅 2.2 μ A, 4.4 μ A で入力している。P-HCNMへの入力パルス電流は振幅 2.2 μ A, 4.4 μ A の二つに分けることで発火に違いを生み、10 段つないだ図2の回路に入力して、波形整形の有無を確かめるために、入力パルス電流がニューロンの発火波形に影響を及ぼすように入力の波高値を設定した。

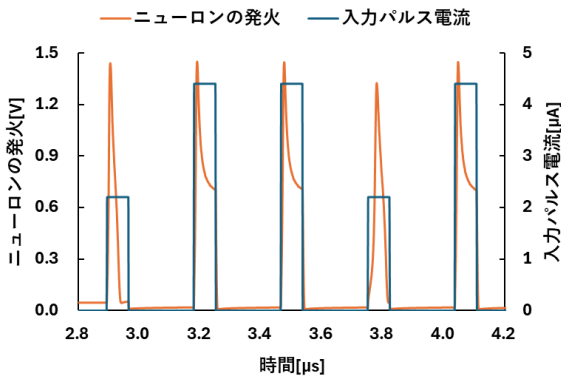


図3 入力パルス電流とそれに対するP-HCNMの発火

先行研究のネットワークで用いている軸索モデルと今回、用いた伝搬遅延回路と出力の比較を行った。図4に図3でのP-HCNMの発火をそれぞれ入力した軸索モデルの出力と伝搬遅延回路10段の出力を示す。軸索モデルは20段の結果である。スイッチト・キャパシタ回路へのクロック電圧は1.8Vで、クロックの1bitの時間は発火の周期/150である約1.9nsとした。軸索モデルの出力はP-HCNMの発火の入力に対してまったく違いが見られない。伝搬遅延回路10段の出力は、軸索モデルと比較して、P-HCNMの発火の形の違いを反映している。P-HCNMの発火からの伝搬遅延回路10段の出力で遅延時間を測定すると約0.2 μ sとなり、軸索モデルを用いた遅延時間約0.2 μ sのネットワークと同等の遅延時間となる結果が得られた。完全には波形整形せずに短期記憶性を有するために、十分と考えられる約0.2 μ sの遅延時間が得られることを明らかにした。

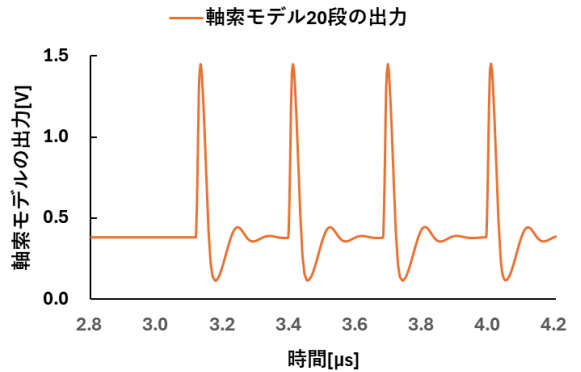
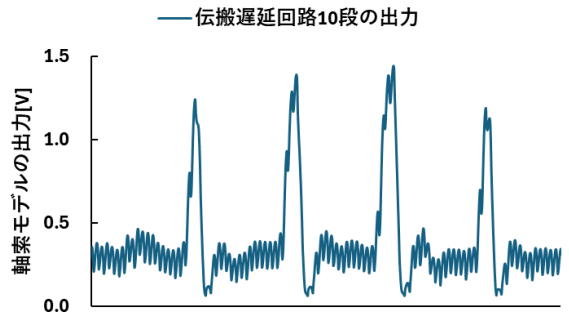


図4 P-HCNMの発火をそれぞれ入れた伝搬遅延回路10段と軸索モデル20段の出力の出力

3. まとめ

今回、波形整形をしないリザーバーコンピューティングを構築するために、スイッチト・キャパシタを使用した伝搬遅延を有するP-HCNM間の能動線路に対する検討を行った。

その結果、P-HCNMの発火波形に影響した約0.2 μ sの遅延時間をもつ、波形整形しない発火伝搬回路を構築できることを明らかにした。

今後は、今回の遅延回路を用いたネットワークで遅延タスクを行う予定である。また、少ない遅延時間でリザーバーコンピューティングでのベンチマークタスクがどのように影響を及ぼすのか検討を行う予定である。

4. 参考文献

- [1] 田中剛平, 中根了昌, 廣瀬明:「リザーバーコンピューティング時系列パターン認識のための高速機械学習の理論とハードウェア」森北出版株式会社, (2022)
- [2] 米川尊, 山口拓人, 佐伯勝敏:「パルス形ハードウェアカオスニューロンモデルを用いたリザーバーコンピューティングの構築に対する一検討」電気学会電子回路研究会資料, ECT-24-058, pp.55-58, (2024)
- [3] 谷口研二:「LSI設計者のためのCMOSアナログ回路入門」CQ出版社, (2005)